

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

jc978 U.S. PRO
09/892603
06/28/01


別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2001年 1月17日
January 17, 2001

出願番号

Application Number:

特願2001-008724
Pat. Appln. No. 2001-008724

出願人

Candidate(s):

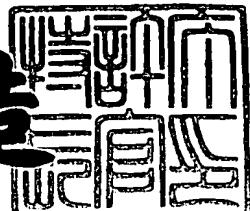
三菱電機株式会社
Mitsubishi Denki Kabushiki Kaisha

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 9日
February 9, 2001

特許庁長官
Commissioner,
Patent Office

大川耕造
Kozo Oikawa



出証番号 出証特2001-3006734
Shutsu-sho No. Shutsu-sho-toku 2001-3006734

【書類名】 特許願
【整理番号】 528768JP01
【提出日】 平成13年 1月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/02
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 豊田 吉彦
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100091409
【弁理士】
【氏名又は名称】 伊藤 英彦
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 表面に異なる幅を有する複数の溝が形成された絶縁層と、前記複数の溝の各々の内部を少なくともメッキにより埋め込む導電層とを備え

前記複数の溝のうちの一部の溝の底部に凹凸を設けたことを特徴とする、半導体装置。

【請求項2】 前記凹凸は、溝の幅に対する深さの比が0.7以下の溝の底部に設けられたことを特徴とする、請求項1に記載の半導体装置。

【請求項3】 前記凹凸は、溝の幅に対する深さの比が0.35以下の溝の底部に設けられたことを特徴とする、請求項2に記載の半導体装置。

【請求項4】 前記凹凸の凹部は溝状に形成されており、前記凹部の幅に対する深さの比が0.35よりも大きいことを特徴とする、請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記凹凸の凹部は溝状に形成されており、前記凹部の幅に対する深さの比が0.7よりも大きいことを特徴とする、請求項4に記載の半導体装置。

【請求項6】 前記凹凸の凹部は孔状に形成されており、前記凹部の開口径に対する深さの比が0.35よりも大きいことを特徴とする、請求項1～3のいずれかに記載の半導体装置。

【請求項7】 前記凹凸の凹部は孔状に形成されており、前記凹部の開口径に対する深さの比が0.7よりも大きいことを特徴とする、請求項5に記載の半導体装置。

【請求項8】 前記凹凸における凹部の側面が傾斜しており、断面において両側面が交差していることを特徴とする、請求項1～3のいずれかに記載の半導体装置。

【請求項9】 前記凹部の側面は、前記絶縁層の上面に対して20度よりも大きく傾斜していることを特徴とする、請求項8に記載の半導体装置。

【請求項10】 前記凹凸のピッチは凹部の幅あるいは開口径の4倍以下であることを特徴とする、請求項1～9のいずれかに記載の半導体装置。

【請求項11】 絶縁層の表面に異なる幅を有する複数の溝と、前記複数の溝のうち一部の溝の底面に凹凸とを形成する工程と、

前記複数の溝および前記凹凸を埋め込むように金属膜を電解メッキにより前記絶縁層より上に析出させる工程と、

前記絶縁層の上面が少なくとも露出するまで前記金属膜を化学的機械研磨で除去することにより、前記溝および前記凹凸内に前記金属膜を残存させて配線層とする工程とを備えた、半導体装置の製造方法。

【請求項12】 前記絶縁層の下層に下層配線層を形成する工程と、

前記下層配線層と前記配線層とを接続する接続孔を前記絶縁層に形成する工程とをさらに備え、

前記溝の形成前に前記接続孔と前記凹凸とを同時に形成することを特徴とする、請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、たとえば集積回路の多層配線構造を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

図38および図39～図41は、「月刊Semiconductor World」1997年12月号の107頁に示された従来の半導体装置の構成およびその製造方法を示す図である。図38を参照して、半導体基板上の絶縁膜101には、異なる幅を有する複数の溝102a、102bが形成されている。この溝102a、102bの各々の内表面に沿うようにバリアメタル104が形成され、かつ溝102a、102bの各々を埋め込むようにCu(銅)膜105が形成されている。このバリアメタル104とCu膜105とから配線層が構成されている。

【0003】

次に、図38に示す従来の半導体装置の製造方法について説明する。

まず図39を参照して、絶縁膜101の表面上に写真製版技術によってレジストパターン111aが形成される。このレジストパターン111aをマスクとして反応性イオンエッチングを絶縁膜101に施すことにより、絶縁膜101に異なる幅を有する複数の溝102a、102bが形成される。この後、レジストパターン111aがアッシングおよび薬液処理により除去される。

【0004】

図40を参照して、溝102a、102bが形成された絶縁膜101上にバリアメタル104としてTaN（窒化タンタル）膜が形成され、さらにメッキ膜のシード層105aとしてCu膜が形成される。

【0005】

図41を参照して、硫酸銅浴のメッキ液中で電解メッキが施されCu膜105が表面全面に厚く析出して各溝102a、102b内を埋め込む。このとき、メッキ液中に添加された添加剤の効果により、細い溝や孔102bの部分の析出速度は広い溝102aや平面部に比べて速くなり、この部分が優先的に埋め込まれていくため、優れた埋め込み特性を得ることができる。さらに、化学的機械研磨法（CMP法）により、溝102a、102b以外の部分に形成されたCu膜105が除去され、それにより図38に示す半導体装置が製造される。

【0006】

【発明が解決しようとする課題】

以上のように、従来の半導体装置の製造方法では、細い溝102bに対して広い溝102aでのCu膜105のメッキ時における析出速度が遅かった。広い配線を形成するためには、広い溝102aが埋め込まれるまで電解メッキをしなければならない。このため、細い溝102bのメッキ膜厚が広い溝102aのメッキ膜厚に比べて極めて厚くなっていた。このような膜厚の違いが生じた結果、メッキされたCu膜105表面の段差が、溝102a、102bが形成された時点での初期段差に比べて大きくなっていた。

【0007】

この様子は、“Proceedings of Advanced Metallization Conference 1999: A

sian Session" のAppendix (1) US Session Program and Abstractの135頁に示されている。

【0008】

細い溝102b上の厚いCu膜105をCMP法によりすべて除去するためには、広い溝102a上の薄いCu膜105を過剰に研磨する必要がある。その結果、広い溝102a内に形成される配線104、105の上面が凹状にへこんでしまう。これにより、広い溝102a内の配線に大きな抵抗上昇が生じる、あるいは抵抗のばらつきが大きくなるという問題があった。

【0009】

また、このような凹状のへこみが生じると、その上の配線層で凹部に金属が残ってしまい、配線の短絡不良を引起すという問題もあった。

【0010】

それゆえ本発明の目的は、広い溝と細い溝の析出速度の差を小さくすることができる半導体装置およびその製造方法を提供することである。

【0011】

【課題を解決するための手段】

本発明の半導体装置は、表面に異なる幅を有する複数の溝が形成された絶縁層と、複数の溝の各々の内部を少なくともメッキにより埋め込む導電層とを備え、複数の溝のうちの一部の溝の底部に凹凸を設けたことを特徴とするものである。

【0012】

本発明の半導体装置によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層をCMP法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0013】

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が0

・ 7以下の溝の底部に設けられている。

【0014】

これにより、より薄いメッキ膜で溝を埋め込むことができる。

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が0.

・ 35以下の溝の底部に設けられている。

【0015】

これにより、より薄いメッキ膜で溝を埋め込むことができる。

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が0.35よりも大きい。

【0016】

これにより、メッキによる析出速度を効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が0.7よりも大きい。

【0017】

これにより、メッキによる析出速度をより効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が0.35よりも大きい。

【0018】

これにより、メッキによる析出速度を効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が0.7よりも大きい。

【0019】

これにより、メッキによる析出速度をより効果的に向上することができる。

上記の半導体装置において好ましくは、凹凸における凹部の側面が傾斜しており、断面において両側面が交差している。

【0020】

これにより、メッキによる析出速度をより向上するとともに、凹凸の凹部の深さを浅くすることができる。

【0021】

上記の半導体装置において好ましくは、凹部の側面は、絶縁層の上面に対して20度よりも大きく傾斜している。

【0022】

これにより、メッキによる析出速度向上の効果が得られる。

上記の半導体装置において好ましくは、凹凸のピッチは凹部の幅あるいは開口径の4倍以下である。

【0023】

これにより、凹凸を溝底部に密に配置することができ、凹凸によって効果的にメッキ速度を向上することができる。

【0024】

本発明の半導体装置の製造方法は以下の工程を備えている。

まず、絶縁層の表面に異なる幅を有する複数の溝と、複数の溝のうち一部の溝の底面に凹凸とが形成される。そして、複数の溝および凹凸を埋め込むように金属膜が電解メッキにより絶縁層より上に析出される。そして絶縁層の上面が少なくとも露出するまで金属膜が化学的機械研磨で除去されることにより、溝および凹凸内に金属膜が残存されて配線層とされる。

【0025】

本発明の半導体装置の製造方法によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層をCMP法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0026】

上記の半導体装置の製造方法において好ましくは、絶縁層の下層に下層配線層を形成する工程と、下層配線層と配線層とを接続する接続孔を絶縁層に形成する工程とがさらに備えられ、溝の形成前に接続孔と凹凸とが同時に形成される。

【0027】

これにより、製造工程を簡略化することができる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0029】

(実施の形態1)

図1および図2は、本発明の実施の形態1における半導体装置の構成を概略的に示す断面図および斜視図である。図1および図2を参照して、半導体基板もしくは下層の絶縁膜6上に絶縁膜1が形成されている。この絶縁膜1の表面には幅の異なる複数の配線用溝2a、2bが形成されている。特に幅の広い配線用溝2aの底面には凹凸3が形成されている。

【0030】

これらの配線用溝2a、2bの内表面に沿ってたとえばTaNよりなるバリアメタル4が形成されており、これらの配線用溝2a、2bの各々を埋め込むようにCu膜5が形成されている。このバリアメタル4とCu膜5とから配線層が構成されており、配線層4、5の上面と絶縁膜1の上面とは実質同一の平面を構成している。

【0031】

各配線用溝の幅W1は、たとえば0.5、5、10、20μmであり、深さD1はたとえば0.7μmである。このうち幅W1が5μm以上の配線用溝2aの底面に凹凸3として複数の溝が配線5の長手方向に沿って形成されている。この複数の凹凸用の溝の幅W2はたとえば0.4μmであり、スペースSは0.6μmであり、深さD2は0.5μmである。

【0032】

次に、本実施の形態の製造方法について説明する。

図1および図2を参照して、半導体基板もしくは下層の絶縁膜6上に絶縁膜1が形成される。この絶縁膜1上に、配線用のパターンが形成されたレジストパターンが写真製版技術により形成される。このレジストパターンをマスクとして、絶縁膜1に反応性イオンエッチングが施されることにより、絶縁膜1にたとえば

0. 7 μm の深さを有する配線用溝2a、2bが形成される。この後、アッシングによりレジストパターンが除去される。

【0033】

絶縁膜1上に、溝状の凹凸パターンとしてたとえば幅0.4 μm の溝パターンを有するレジストパターンが写真製版技術により形成される。このレジストパターンをマスクとして絶縁膜1に反応性イオンエッティングが施されることにより、幅が5 μm 以上の配線用溝2aの底部にのみ溝状の凹凸3がたとえば0.5 μm の深さで形成される。この後、アッシングによりレジストパターンが除去される。

【0034】

絶縁膜1上に、バリアメタル4としてたとえばTaN膜がスパッタ法により20 nmの厚みで形成され、さらにメッキ膜のシード層としてたとえばCu膜がスパッタにより150 nmの厚みで形成される。

【0035】

硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝2a、2bを埋め込めるまでCu膜5が形成される。この電解メッキの電流はたとえば5 Aである。この後、少なくとも絶縁膜1の上面が露出するまでCu膜5とバリアメタル4とがCMP法により研磨除去されて、配線用溝2a、2b内に配線層として残存される。

【0036】

本願発明者らは、配線用溝2aの底面に溝状の凹凸3を形成した場合と形成しない場合についてメッキCu膜の表面段差について調べた。

【0037】

上記の方法で形成した半導体装置において、配線用溝の部分上および溝がない平坦部上に形成されたメッキCu膜の膜厚を測定した結果を表1に示す。ただし、この膜厚はシード層としてのCu膜の厚みも含んだ値である。

【0038】

【表1】

配線用溝の底に溝状の凹凸を付けた効果

配線幅 (μm)	Cu膜厚(μm)	
	凹凸無し 800nm メッキ	凹凸有り 400nm メッキ
0.5	2	1.1
5	0.7	0.7
10	0.7	0.7
20	0.7	0.7
flat部 (溝底から)	0.7 (1.4)	0.35 (1.05)

【0039】

配線用溝を埋め込むために必要なメッキ量は、配線の底に凹凸（溝）がある場合で400nm、配線の底に凹凸（溝）がない場合で800nmであった。ここでいうメッキ量は、平坦な基板上にメッキを行なったときに形成されるCu膜の厚みである。

【0040】

配線用溝の底に凹凸（溝）を形成しない場合、Cu膜の表面の最も高い部分は0.5 μm 幅の配線部であり、最も低い部分は5、10、20 μm 幅の配線部であり、その段差は1.3 μm であった。これに対し、配線の溝の底に凹凸（溝）を形成した場合、Cu膜の表面の最も高い部分は0.5 μm 幅の配線部であり、最も低い部分は5、10、20 μm 幅の配線部であり、その段差は0.4 μm であった。

【0041】

以上のように、配線用溝の底に凹凸（溝）を形成することにより、配線用溝をメッキCu膜で埋め込んだ時点での表面段差を1.3 μm から0.4 μm へと大幅に低減することができた。

【0042】

このように、配線用溝を埋め込むために必要なメッキ量が異なるのは、配線用溝の底に溝状の凹凸を形成することによりメッキ速度を向上させることができた

からである。メッキ速度が向上するのは、メッキ液に添加された添加剤の効果に起因している。細い溝中ではメッキの析出を抑制する添加剤が少ないので対し、太い溝や平坦部ではメッキの析出を促進させる添加物はほぼ均一に存在する。このため、太い溝や平坦部ではメッキの析出が抑制されるのに対し、細い溝中ではメッキの析出が促進される。

【0043】

本実施の形態においては、溝状の凹凸3を配線の長手方向に沿って形成した例について説明したが、配線の短手方向に沿って形成しても同様の効果が得られる。

【0044】

(実施の形態2)

図3は、本発明の実施の形態2における半導体装置の構成を概略的に示す斜視図である。図1と図3とを参照して、本実施の形態の構成は、図2に示す実施の形態1の構成と比較して、凹凸3の形状が異なる。本実施の形態では、凹凸3は配線用溝2aの底面に複数の孔を形成することにより構成されている。この凹凸3を構成する孔の径W2はたとえば0.4μmであり、ピッチPはたとえば1μmであり、深さD2はたとえば0.5μmである。

【0045】

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0046】

本実施の形態の製造方法も上述した実施の形態1の製造方法とほぼ同じであるため、その説明は省略する。ただし、実施の形態1では、溝状の凹凸3をパターニングにより形成しているが、本実施の形態ではこの工程において複数の孔となる凹凸3がパターニングにより形成される。

【0047】

本願発明者らは、実施の形態1と同様にして本実施の形態においてもメッキCu膜の表面段差について調べた。

【0048】

配線用溝の幅W1は0.5、5、10、20μmとし、深さD1は0.7μmとした。このうち幅5μm以上の配線用溝2aの底に凹凸として径W2が0.4μm、ピッチPが1μm、深さD2が0.5μmの複数の孔を形成した。この上にバリアメタルとしてTaN膜をスパッタ法により20nmの厚みで形成し、さらにメッキ膜のシード層としてCu膜をスパッタ法により150nmの膜厚で形成した。次に、硫酸銅浴のメッキ液中で電解メッキを行ない、配線用溝を埋め込めるまでCu膜を形成した。このときの電流は5Aとした。比較のために、配線用溝の底に凹凸（孔）を形成していない場合についても同様に成膜した。

【0049】

このようにして作製された基板の配線用溝の部分および溝がない平坦部に形成されたCu膜の膜厚を表2に示す。ただし、この膜厚はシード層のCu膜の膜厚も含んだ値である。

【0050】

【表2】

配線用溝の底に孔状の凹凸を付けた効果

配線幅 (μm)	Cu膜厚(μm)	
	凹凸無し 800nm メッキ	凹凸有り 400nm メッキ
0.5	2	1.05
5	0.7	0.8
10	0.7	0.8
20	0.7	0.8
flat部 (溝底から)	0.7 (1.4)	0.3 (1.0)

【0051】

配線用溝を埋め込むために必要なメッキ量は、配線の底に凹凸（孔）がある場合で400nm、配線の底に凹凸（孔）がない場合で800nmであった。配線用溝の底に凹凸（孔）を形成していない場合、Cu膜の表面の最も高い部分は0.5μm幅の配線部であり、最も低い部分は5、10、20μm幅の配線部であり、その段差は1.3μmであった。これに対し、配線の溝の底に凹凸（孔）を

形成した場合、Cu膜の表面の最も高い部分は0.5μm幅の配線部であり、最も低い部分は5、10、20μm幅の配線部であり、その段差は0.25μmであった。

【0052】

以上のように、配線用溝の底に凹凸（孔）を形成することにより、配線用溝をメッキCu膜で埋め込んだ時点での表面段差を1.3μmから0.25μmとへ大幅に低減することができる。

【0053】

このように、配線用溝を埋め込むために必要なメッキ量が異なるのは、配線用溝の底に孔状の凹凸を形成することによりメッキ速度を向上させることができたからである。メッキ速度が向上するメカニズムは、実施の形態1で述べたのと同じ原理によるものである。また、溝状の凹凸に比べて孔状の凹凸の方が、メッキ速度を向上させる効果が大きく、表面段差をより低減することができる。

【0054】

（実施の形態3）

本願発明者らは、メッキCu膜厚と配線幅の関係について調べた。

【0055】

幅0.34～20μmの範囲の配線用溝を形成し、その配線溝上にCu膜をメッキにより形成した結果を表3に示す。

【0056】

【表3】

Cuメッキ膜厚と配線幅の関係

配線幅 (μm)	Cu膜厚(μm)	
	メッキ電流 5A	メッキ電流 8A
0.34	1.3	1.2
0.4	1.3	1.2
0.5	1.25	1.2
0.7	1.1	1
1	1.05	0.4
1.4	1	0.4
2	0.4	0.4
5	0.4	0.4
10	0.4	0.4
20	0.4	0.4
平坦部	0.4	0.4

【0057】

このときの配線用溝の深さは0.7 μmであり、この上にバリアメタルとしてTaN膜をスパッタ法により20 nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタにより150 nmの厚みで形成し、さらに電解メッキにより400 nmの厚みのCu膜を形成した。このときの電流は5 Aまたは8 Aとした。メッキ電流が5 Aの場合、配線幅が2 μm以上、すなわちアスペクト比（深さ／幅）が0.35以下では、配線用溝を埋め込むことができなかった。またメッキ電流が8 Aの場合、配線幅1 μm以上、すなわちアスペクト比（深さ／幅）が0.7以下では、配線用溝を埋め込むことはできなかった。

【0058】

このようにアスペクト比が0.35以下もしくは0.7以下の配線用溝をメッキCu膜で埋め込むためには、さらに厚くCu膜を成膜する必要があり、その結果、Cu膜表面の段差はさらに大きくなる。これに対し、これらの配線用溝の底に凹凸を形成すると、実施の形態1および2で示した効果により、Cu膜表面の段差を小さくすることができる。すなわち、アスペクト比0.35以下もしくは0.7以下の配線用溝の底に凹凸を形成することにより、より薄いメッキCu膜

の厚みで溝を埋め込むことができ、Cu膜の表面の段差を小さくすることができる。

【0059】

(実施の形態4)

本願発明者らは、溝状の凹凸を形成した場合のメッキCu膜厚と凹凸用の溝幅との関係を調べた。

【0060】

幅が0.26~2μmの範囲の溝状の凹凸を形成し、その凹凸上にCu膜をメッキにより形成した結果を表4に示す。

【0061】

【表4】

Cuメッキ膜厚と溝幅の関係

溝幅 (μm)	Cu膜厚(μm)	
	メッキ電流 5A	メッキ電流 8A
0.26	1.1	1
0.3	1.1	1
0.34	1.05	1
0.4	1.05	1
0.5	1	0.9
0.7	1	0.4
1	0.95	0.4
1.4	0.43	0.4
2	0.43	0.4

【0062】

このときの溝の深さは0.5μmであり、ピッチは溝幅の4倍であった。この上にバリアメタルとしてTaN膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みのCu膜を形成した。このときの電流は5Aまたは8Aである。メッキ電流が5Aの場合、溝幅が1.4μm以上、すなわちアスペクト比(深さ/幅)が0.35以下では成膜速度を向上させる効果は見られなかった。また、メッキ電流が8Aの場合、溝幅が0.7μm以上、

すなわちアスペクト比（深さ／幅）が0.7以下では成膜速度を向上させる効果は見られなかった。

【0063】

以上のように、成膜速度を向上させるためには、配線用溝の底部に形成する溝状の凹凸のアスペクト比は0.35より大きいか、または0.7より大きくなければならない。また、アスペクト比が大きいほど成膜速度を向上させることができるので、配線用溝の底部に形成する溝状の凹凸のアスペクト比は大きい方が望ましい。

【0064】

(実施の形態5)

本願発明者らは、孔状の凹凸を形成した場合のメッキCu膜厚と凹凸用の孔径との関係を調べた。

【0065】

孔径が0.26～2μmの範囲の孔状の凹凸を形成し、その凹凸上にCuをメッキにより形成した結果を表5に示す。

【0066】

【表5】

Cuメッキ膜厚と孔径の関係

孔径 (μm)	Cu膜厚(μm)	
	メッキ電流 5A	メッキ電流 8A
0.26	1.2	1.1
0.3	1.2	1.1
0.34	1.15	1.1
0.4	1.1	1.1
0.5	1.05	1
0.7	1	0.4
1	0.95	0.4
1.4	0.43	0.4
2	0.43	0.4

【0067】

このときの孔の深さは $0.5\text{ }\mu\text{m}$ であり、ピッチは孔径の4倍であった。この上にバリアメタルとしてTaN膜をスパッタ法により 20 nm の厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により 150 nm の厚みで形成し、さらに電解メッキにより 400 nm の厚みのCu膜を形成した。このときの電流は、 5 A または 8 A とした。メッキ電流が 5 A の場合、孔径が $1.4\text{ }\mu\text{m}$ 以上、すなわちアスペクト比(深さ/径)が 0.35 以下では成膜速度を向上させる効果は見られなかった。また、メッキ電流が 8 A の場合、孔径が $0.7\text{ }\mu\text{m}$ 以上、すなわちアスペクト比(深さ/径)が 0.7 以下では成膜速度を向上させる効果は見られなかった。

【0068】

以上のように、成膜速度を向上させるためには、配線用溝の底部に形成する孔状の凹凸のアスペクト比は 0.35 より大きいか、もしくは 0.7 より大きくなければならない。また、アスペクト比が大きいほど成膜速度を向上させることができるために、溝の底部に形成する孔状の凹凸のアスペクト比は大きい方が望ましい。

【0069】

また、溝状の凹凸に比べて孔状の凹凸の方が、メッキ速度を向上させる効果が大きいというメリットがある。

【0070】

(実施の形態6)

図4および図5は、本発明の実施の形態6における半導体装置の構成を概略的に示す断面図および斜視図である。図4および図5を参照して、本実施の形態の構成は、実施の形態1の構成と比較して、配線用溝2aの底面に形成した凹凸3の形状において異なる。本実施の形態においては、凹凸3は断面がテーパ状となる複数の溝から構成されており、この凹凸用の溝の両側壁は断面において交差している。

【0071】

配線用に形成した溝の幅W1はたとえば $0.5, 5, 10, 20\text{ }\mu\text{m}$ であり、深さD1は $0.7\text{ }\mu\text{m}$ である。このうち幅W1が $5\text{ }\mu\text{m}$ 以上の配線用溝2aの底

に凹凸3として、断面が三角形状の複数の溝が形成されている。この凹凸用の溝の幅W2はたとえば0.35μmであり、深さD2はたとえば0.3μmであり、テーパ角はたとえば60度であり、ピッチPはたとえば1μmである。

【0072】

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明は省略する。

【0073】

この断面がテーパ状の溝よりなる凹凸3は、以下のようにエッティング条件を調整することにより形成される。

【0074】

プラズマ中ではエッティングガスは分解され、絶縁膜のエッティングと生成物のデポジションとの競合反応が起こる。エッティング種は基板に垂直方向に加速されて入射するため、溝の底面ではエッティングが主となり、エッティングが進行する。しかし側面では生成物のデポジションが優勢となる。このような生成物は側面をエッティング種より保護する役割を果たす。エッティング条件を生成物が生じやすい条件にすると、溝のエッティングが進行するにつれて生成物のデポジションが増えるため、側面がテーパ状になる。エッティングガスあるいは添加ガスにCが含まれる割合が高いと生成物がデポジションする割合が高くなる。たとえば、エッティングガスとしてはCHF₃よりもC₄F₈などCを多く含むガスでテーパ形状が得られやすい。また、COのようにCを含むガスを添加ガスとして加えることも有効である。

【0075】

なお、これ以外の製造方法については、上述した実施の形態1の製造方法とほぼ同じであるためその説明を省略する。

【0076】

本願発明者らは、配線用溝の底にテーパ状の溝からなる凹凸を付けた効果について調べた。

【0077】

まず上記の方法で配線用溝の底に凹凸3として幅W2が0.35μm、深さD

2が $0.3\mu m$ 、テーパ角60度の複数の断面が三角形状の溝をピッチPが $1\mu m$ となるように形成した。この上にバリアメタルとしてTaN膜をスパッタ法により $20nm$ の厚みで形成し、さらにメッキ膜のシード層としてCu膜をスパッタにより $150nm$ の厚みで形成した。次に、硫酸銅浴のメッキ液中で電解メッキを行ない、配線用溝を埋め込めるまでCu膜を形成した。このときの電流は5Aとした。比較のために、配線用溝の底に凹凸（溝）を形成していない場合についても同様に成膜した。

【0078】

このようにして作製した基板の配線用溝の部分および配線の溝がない平坦部に形成されたCuの膜厚を表6に示す。ただし、この膜厚はシード層のCuも含んだ値である。

【0079】

【表6】

配線用溝の底にテーパ状の溝からなる凹凸を付けた効果

配線幅 (μm)	Cu膜厚(μm)	
	凹凸無し 800nm メッキ	凹凸有り 400nm メッキ
0.5	2	1.05
5	0.7	0.8
10	0.7	0.8
20	0.7	0.8
flat部 (溝底から)	0.7 (1.4)	0.3 (1.0)

【0080】

溝を埋め込むために必要なメッキ量は配線用溝の底に凹凸（溝）がある場合で $400nm$ 、配線用溝の底に凹凸（溝）がない場合で $800nm$ であった。配線用溝の底に凹凸（溝）を形成していない場合、Cu膜の表面の最も高い部分は $0.5\mu m$ 幅の配線部であり、最も低い部分は $5.10.20\mu m$ 幅の配線部であり、その段差は $1.3\mu m$ であった。これに対し、配線の底に凹凸（溝）を形成した場合、Cu膜の表面の最も高い部分は $0.5\mu m$ 幅の配線部であり、最も低

い部分は5、10、20μmの幅の配線部であり、その段差は0.25μmであった。

【0081】

以上のように、配線の底に凹凸（溝）を形成することにより、溝をメッキCu膜で埋め込んだ時点での表面段差を1.3μmから0.25μmへと大幅に低減することができる。

【0082】

このように、溝を埋め込むために必要なメッキ量が異なるのは、溝の底に溝状の凹凸を形成することによりメッキ速度を向上させることができたからであり、メッキ速度が向上するメカニズムは実施の形態1で述べたのと同じ原理によるものである。

【0083】

また、凹凸用の溝の形状をテーパ状にすることにより、通常の凹凸用の溝の場合に比べてメッキの析出速度をより向上できるとともに、溝の深さを浅くすることができるというメリットがある。

【0084】

（実施の形態7）

図6は、本発明の実施の形態7における半導体装置の構成を概略的に示す斜視図である。

【0085】

図4および図6を参照して、本実施の形態の構成は、実施の形態6の構成と比較して、配線用溝2aの底面に形成した凹凸3の形状において異なる。本実施の形態においては、凹凸3は断面がテーパ状となる複数の孔から構成されており、この凹凸用の孔の両側壁は断面において交差している。

【0086】

配線用に形成した溝の幅W1は0.5、5、10、20μmであり、深さはD1は0.7μmである。このうち幅W1が5μm以上の配線用溝2aの底に凹凸3として複数の円錐状の孔が形成されている。この凹凸用の孔の開口径W2はたとえば0.35μmであり、深さD2はたとえば0.3μmであり、テーパ角は

たとえば60度であり、孔のピッチPはたとえば $1\text{ }\mu\text{m}$ である。

【0087】

なお、これ以外の構成については、上述した実施の形態6の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0088】

本実施の形態の製造方法は、上述した実施の形態6の製造方法とほぼ同じであるためその説明を省略する。ただし、テーパ状の孔の形成方法は、実施の形態6におけるテーパ状の溝の形成方法とほぼ同じである。

【0089】

本願発明者らは、配線用溝の底にテーパ状の孔からなる凹凸を付けた効果について調べた。

【0090】

まず上述の方法で配線用溝の底に凹凸3として開口径W2が $0.35\text{ }\mu\text{m}$ 、深さD2が $0.3\text{ }\mu\text{m}$ 、テーパ角が60度の複数の円錐状の孔をピッチPが $1\text{ }\mu\text{m}$ となるように形成した。この上にバリアメタルとしてTaN膜をスパッタ法により 20 nm の厚みで形成し、さらにメッキ膜のシード層としてCu膜をスパッタ法により 150 nm の厚みで形成した。次に、硫酸銅浴のメッキ液中で電解メッキを行ない、配線用溝を埋め込めるまでCu膜を形成した。このときの電流は5Aとした。比較のために、配線用溝の底に凹凸（孔）を形成していない場合についても同様に成膜した。

【0091】

このようにして作製した基板の配線用溝の部分および配線の溝がない平坦部に形成されたCuの膜厚を表7に示す。ただし、この膜厚はシード層のCuも含んだ値である。

【0092】

【表7】

配線用溝の底にテープ状の孔からなる凹凸を付けた効果

配線幅 (μm)	Cu膜厚(μm)	
	凹凸無し 800nmメッキ	凹凸有り 400nmメッキ
0.5	2	1.05
5	0.7	0.85
10	0.7	0.85
20	0.7	0.85
flat部 (溝底から)	0.7 (1.4)	0.3 (1.0)

【0093】

溝を埋め込むために必要なメッキ量は配線用溝の底に凹凸（孔）がある場合で400nm、配線用溝の底に凹凸（孔）がない場合で800nmであった。配線用溝の底に凹凸（孔）を形成していない場合、Cu膜の表面の最も高い部分は0.5μm幅の配線部であり、最も低い部分は5、10、20μm幅の配線部であり、その段差は1.3μmであった。これに対し、配線の底に凹凸（孔）を形成した場合、Cu膜の表面の最も高い部分は0.5μm幅の配線部であり、最も低い部分は5、10、20μmの幅の配線部であり、その段差は0.2μmであった。

【0094】

以上のように、配線の底に凹凸（孔）を形成することにより、溝をメッキCu膜で埋め込んだ時点での表面段差を1.3μmから0.2μmへと大幅に低減することができる。

【0095】

このように、溝を埋め込むために必要なメッキ量が異なるのは、溝の底に孔状の凹凸を形成することによりメッキ速度を向上させることができたからであり、メッキ速度が向上するメカニズムは実施の形態1で述べたのと同じ原理によるものである。

【0096】

また、凹凸用の孔の形状を円錐状にすることにより、柱状の凹凸用の孔の場合に比べてメッキの析出速度をより向上できるとともに、孔の深さを浅くすることができるというメリットがある。

【0097】

(実施の形態8)

本願発明者らは、メッキCu膜厚とテーパ状の溝からなる凹凸のテーパ角との関係について調べた。

【0098】

図5に示すようにテーパ角が20~60度の範囲の断面が三角形の溝からなる凹凸3を形成し、その凹凸3上にメッキによりCu膜を形成した結果を表8に示す。

【0099】

【表8】

Cuメッキ膜厚とテーパ状の溝からなる凹凸のテーパ角の関係

テーパ角(度)	Cu膜厚(μm)
20	0.4
30	0.65
45	1.15
60	1.25

【0100】

図5を参照して、このときの溝2aの深さD1は0.5μmであり、この上にバリアメタルとしてTaN膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みでCu膜を形成した。このときの電流は5Aとした。

【0101】

テーパ角が20度以下の溝では、メッキ速度を向上させる効果は見られない。以上より、テーパ角は20度より大きい必要がある。また、テーパ角が大きいほどメッキ速度を向上させる効果が大きく、特に45度以上ではその効果が顕著で

あることから、テーパ角は大きい方が望ましく、特に45度以上が望ましい。

【0102】

(実施の形態9)

本願発明者らは、メッキCu膜厚と円錐状の孔からなる凹凸のテーパ角との関係について調べた。

【0103】

図6に示すようにテーパ角が20~60度の範囲の円錐状の孔からなる凹凸を形成し、その凹凸上にメッキによりCu膜を形成した結果を表9に示す。

【0104】

【表9】

Cuメッキ膜厚と円錐状の孔からなる凹凸のテーパ角の関係

テーパ角(度)	Cu膜厚(μm)
20	0.4
30	0.75
45	1.2
60	1.35

【0105】

図6を参照して、このときの孔の深さD1は0.5μmであり、この上にバリアメタルとしてTaN膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みでCu膜を形成した。このときの電流は5Aとした。

【0106】

テーパ角が20度以下の孔では、メッキ速度を向上させる効果は見られない。以上より、テーパ角は20度より大きい必要がある。また、テーパ角が大きいほどメッキ速度を向上させる効果が大きく、特に45度以上ではその効果が顕著であることから、テーパ角は大きい方が望ましく、特に45度以上が望ましい。

【0107】

(実施の形態10)

実施の形態6では、テーパ状の溝からなる凹凸を形成するために、側面がテーパ状となるエッティングを用いた例について説明したが、エッティングの際に発生するサブトレンチを利用することができる。

【0108】

図7および図8は、本発明の実施の形態10における半導体装置の構成を概略的に示す断面図および斜視図である。図7および図8を参照して、本実施の形態の構成は、実施の形態6の構成と比較して、凹凸3の形状において異なる。本実施の形態においては、凹凸3は溝状の凹部の両側面にサブトレンチ3aが形成された構成を有している。これにより、凹凸3の凹部底面の中心部が盛り上がった形状を有している。

【0109】

なお、これ以外の構成については、上述した実施の形態6の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0110】

このサブトレンチ3aが発生するメカニズムには以下のように色々な説がある

【0111】

(1) エッティング反応を引起すイオンが、基板電位により基板に垂直な方向に向けられて基板に入射する。ただし、若干傾いて入射するイオンも、ある分布を持って存在する。このようなイオンが凹部の側壁に当ると、そこで反射して基板に到達する。イオンの軌道は若干垂直方向に傾いているだけであるため、このような反射イオンによるエッティングの寄与は、底面の側壁付近で大きくなる。その結果、側壁付近のエッティングレートが高くなり、サブトレンチ3aが生じる。

【0112】

(2) レジストが電子によりチャージアップすると、その電界により基板に垂直に入射したイオンの軌道がレジスト側に曲げられる。ただし、イオンの質量は大きいため、このときの軌道の曲がりはわずかである。その結果、側壁付近のエッティングレートが高くなり、サブトレンチ3aが生じる。

【0113】

(3) エッチングの過程では、エッチングとデポジションとが競合して起こる。側壁部はイオンの入射が少なく、デポジション反応が優勢なため、デポジションが生じ、側壁を保護する役割を果たす。一方、底部ではイオンの入射が多いため、エッチングが進行する。このようなデポジション反応は側壁付近の底部ではなく、またデポジション膜も弱いため、特にこの部分でエッチングレートが高くなり、サブトレンチ3aが生じる。

【0114】

以上のように、大きなサブトレンチ3aを得るために典型的な条件は、ガスを標準状態 (10^5 Pa 、 25°C)において、 $\text{CHF}_3/\text{Ar}/\text{O}_2 = 20/200/10\text{ cm}^3/\text{分}$ とし、圧力を 2.7 Pa 、パワーが 1000 W であり、パワーを上げ、圧力を下げるとサブトレンチ3aは生じやすくなる。

【0115】

このようにして発生するサブトレンチ3aを利用してることにより、図7および図8に示すようなテーパ状の溝からなる凹凸3を得ることができ、実施の形態6と同様の効果が得られる。

【0116】

また、サブトレンチ3aは1つの凹凸用の溝に対して2つ形成されるため、凹凸3のピッチを小さくでき、後で述べるようにメッキ速度を向上させる効果を大きくできるという利点がある。

【0117】

図9は、サブトレンチを複数の孔からなる凹凸3に利用した例を示す斜視図である。この場合、凹凸用の孔の底部の端には円周状にサブトレンチ3aを形成でき、実施の形態7と同様の効果が得られる。サブトレンチ3aは1つの孔に対して円周状に形成されるために、テーパが形成された部分の密度を上げることができ、後で述べるようにメッキ速度を向上させる効果を大きくできるという利点がある。

【0118】

(実施の形態11)

本願発明者らは、図4および図5に示す複数のテーパ状の溝からなる凹凸3に

おける溝のピッチPとメッキCu膜厚との関係について調べた。

【0119】

溝幅W2が0.4μm、深さD2が0.5μmの溝からなる凹凸3を溝のピッチPを0.6~4μmの範囲で形成し、その凹凸3上にメッキによりCu膜を形成した結果を表10に示す。

【0120】

【表10】

Cuメッキ膜厚と溝からなる凹凸のピッチの関係

ピッチ(μm)	Cu膜厚(μm)
0.6	1.35
0.8	1.25
1	1.15
1.6	1.05
4	0.6

【0121】

この凹凸3が形成された上にバリアメタルとしてTaN膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みのCu膜を形成した。このときの電流は5Aとした。

【0122】

凹凸用の溝のピッチPが大きくなるにつれて、凹凸3がメッキ速度を向上させる効果は小さくなっている。ピッチPが1.6μm以下、すなわちピッチPが溝幅W2の4倍以下では、電解メッキにより0.4μmのCu膜を形成して深さD2が0.5μmの溝を埋め込んだ後、さらに0.7μm近くの膜を形成することができる。

【0123】

しかし、ピッチPが1.6μmより大きい、すなわちピッチPが溝幅W2の4倍より大きい場合には、メッキ速度を向上させる効果が極めて小さく、電解メッキにより0.4μmのCu膜を形成すると、0.5μmの凹凸用の溝を埋め込む

ことができる程度である。

【0124】

以上より、ピッチPが溝幅W2の4倍以下である必要がある。ピッチPが小さいほどメッキ速度を向上させる効果が大きく、ピッチPは小さい方が望ましい。

【0125】

図10および図11に示すように、実施の形態8で述べたテーパ状の溝からなる凹凸3を設けた場合、凹凸用の溝のピッチPを溝の幅D2とすることができますため、ピッチPを溝幅W2に対して最小にすることでき、メッキ速度の向上に対して極めて効果的である。

【0126】

また本願発明者らは、図6に示す複数のテーパ状の孔からなる凹凸3における孔のピッチPとメッキCu膜厚との関係について調べた。

【0127】

孔径W2が0.4μm、深さD2が0.5μmの孔からなる凹凸3を孔のピッチPが0.6~4μmの範囲で形成し、その凹凸3上にメッキによりCu膜を形成した結果を表11に示す。

【0128】

【表11】

Cuメッキ膜厚と孔からなる凹凸のピッチの関係

ピッチ(μm)	Cu膜厚(μm)
0.6	1.4
0.8	1.3
1	1.25
1.6	1.1
4	0.6

【0129】

この凹凸3が形成された上にバリアメタルとしてTaN膜をスパッタ法により20nmの厚みで形成し、メッキ膜のシード層としてCu膜をスパッタ法により150nmの厚みで形成し、さらに電解メッキにより400nmの厚みのCu膜

を形成した。このときの電流は5Aとした。

【0130】

凹凸用の孔のピッチPが大きくなるにつれて、凹凸3がメッキ速度を向上させる効果は小さくなっている。ピッチPが1.6μm以下、すなわちピッチPが孔径W2の4倍以下では、電解メッキにより0.4μmのCu膜を形成して深さD2が0.5μmの孔を埋め込んだ後、さらに0.7μm近くの膜を形成することができる。

【0131】

しかし、ピッチPが1.6μmより大きい、すなわちピッチPが孔径W2の4倍より大きい場合には、メッキ速度を向上させる効果が極めて小さく、電解メッキにより0.4μmのCu膜を形成すると、0.5μmの凹凸用の孔を埋め込むことができる程度である。

【0132】

以上より、ピッチPが孔径W2の4倍以下である必要がある。ピッチPが小さいほどメッキ速度を向上させる効果が大きく、ピッチPは小さい方が望ましい。

【0133】

図12に示すように、実施の形態9で述べたテーパ状の孔からなる凹凸3を設けた場合、凹凸用の孔のピッチPを孔径D2とすることができますため、ピッチPを孔径D2に対して最小にすることことができ、メッキ速度の向上に対して極めて効果的である。

【0134】

(実施の形態12)

本実施の形態においては、図1に示す半導体装置の製造方法について説明する

【0135】

図13～図16は、本発明の実施の形態12における半導体装置の製造方法を工程順に示す概略断面図である。まず図13を参照して、半導体基板もしくは下層絶縁膜6上に絶縁膜1が形成される。その絶縁膜1上に、配線用のパターンが形成されたレジストパターン11aが写真製版技術により形成される。そのレジ

ストパターン11aをマスクとして絶縁膜1に反応性イオンエッチングが施され、それにより絶縁膜1にたとえば0.7μmの深さの配線用の配線用溝2a、2bが形成される。この後、たとえばアッシングによりレジストパターン11aが除去される。

【0136】

図14を参照して、絶縁膜1上に、溝状の凹凸用パターンとしてたとえば幅が0.4μm、スペースが0.6μmの溝パターンが形成されたレジストパターン11bが写真製版技術により形成される。このレジスタパターン11bをマスクとして絶縁膜1に反応性イオンエッチングが施される。これにより、幅が5μm以上の配線用溝2aの底部にのみ、たとえば0.5μmの深さを有する複数の溝からなる凹凸3が形成される。この後、レジストパターン11bが、たとえばアッシングにより除去される。

【0137】

図15を参照して、絶縁膜1上に、バリアメタル4としてたとえばTaN膜がスパッタ法により20nmの厚みで形成され、さらにメッキ膜のシード層5aとしてたとえばCu膜がスパッタ法により150nmの厚みで形成される。

【0138】

図16を参照して、硫酸銅浴のメッキ液中で電解メッキが行なわれ、配線用溝2a、2bを埋め込むまでCu膜5が形成される。この電解メッキにおける電流はたとえば5Aである。この後、CMP法により、Cu膜5とバリアメタル4とが、少なくとも絶縁膜1の上面が露出するまで研磨除去される。これにより、図1に示すように配線用溝2a、2b内にのみCu膜5およびバリアメタル4が残存されて配線となる。

【0139】

本実施の形態においては、実施の形態1で述べたように広い配線用溝2aの底部にのみ溝状の凹凸3を形成することによりメッキ速度を向上させることができ、メッキ後のCu膜5表面の凹凸を小さくすることができる。その結果、CMP法を行なう際のオーバーポリッシュを小さくすることができ、広い配線上面の凹状のへこみを小さくでき、広い配線においても低抵抗で抵抗のばらつきが小さいとい

う効果が得られる。

【0140】

本願発明者らは、本実施の形態の方法で製造した図1の構成を有する半導体装置において、配線のシート抵抗と配線抵抗の分散（1σ）について調べた。その結果を表12に示す。なお、比較のため、配線の底部に凹凸3を設けなかった場合についても表12に併せて示す。

【0141】

【表12】

凹凸を付けた場合の配線のシート抵抗と配線抵抗の分散

溝幅 (μm)	配線のシート抵抗(Ω/□)		配線抵抗の分散(%)	
	凹凸有り	凹凸無し	凹凸有り	凹凸無し
0.5	0.044	0.046	2.2	6.2
5	0.047	0.056	3.3	12.7
10	0.048	0.06	3.3	15.5
20	0.048	0.062	3.5	16.7

【0142】

表12の結果より、配線の底部に凹凸3を設けることにより、低抵抗で抵抗のばらつきが小さい配線が得られることがわかる。

【0143】

なお、本実施の形態では、溝の底部の凹凸3として、複数の溝からなる凹凸3を形成した例について説明したが、実施の形態2のように複数の孔からなる凹凸3が形成されてもよく、実施の形態6、7、10のように複数のテーパ状の溝もしくは孔からなる凹凸3が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0144】

また、絶縁膜1を上下2層に分割し、その2層の間にエッチングストップ層が設けられてもよい。

【0145】

(実施の形態13)

図17～図21は、本発明の実施の形態13における半導体装置の製造方法を工程順に示す概略断面図である。まず図17を参照して、半導体基板もしくは下層絶縁膜6上に絶縁膜1が形成される。この絶縁膜1には、配線用溝2bが形成され、その配線用溝2b内を埋め込むようにバリアメタル4と導電層5とからなる下層配線が形成される。

【0146】

この下層配線4、5上にエッティングストップ層7として、たとえば100nmの厚みでSiN膜（シリコン窒化膜）がプラズマCVD（Chemical Vapor Deposition）法により形成される。このエッティングストップ層7上に、絶縁膜1として、たとえば1.3μmの厚みでSiO₂膜（シリコン酸化膜）がプラズマCVD法により形成される。これらのエッティングストップ層7と絶縁膜1とは配線間および層間の絶縁膜に相当する。

【0147】

絶縁膜1上に、接続孔のパターンが形成されたレジストパターン11cが写真製版技術により形成される。この写真製版の際、レジストパターン11cには接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは幅5μm以上の配線用溝の底部に形成される溝状の凹凸のパターンであり、幅が0.4μm、スペースが0.6μmである。このレジストパターン11cをマスクとしてエッティングストップ層7の一部表面が露出するまで絶縁膜1に反応性イオンエッティングが施される。これにより、絶縁膜1に接続用孔2cと同時に凹凸となる溝3が予め形成される。この後、レジストパターン11cがたとえばアッシングにより除去される。

【0148】

図18を参照して、絶縁膜1上にSOG（Spin On Glass）11hが塗布され、接続用孔2cおよび凹凸用の溝3を埋め込む。さらに、絶縁膜1上に配線用のパターンが形成されたレジストパターン11dが写真製版技術により形成される。このレジストパターン11dをマスクとして絶縁膜1に反応性イオンエッティングが施される。

【0149】

図19を参照して、上記のエッティングにより、絶縁膜1にたとえば0.7μmの深さの配線用溝2a、2bが形成される。この後、アッシングによってレジストパターン11dが除去され、希フッ酸によってSOG11hが除去される。

【0150】

図20を参照して、接続用孔2cと凹凸用の溝3から露出したエッティングストップ層7を除去するために、SiN膜の全面エッティングが行なわれる。これにより、下層配線4、5との接続孔2cと、複数の溝からなる凹凸3とを形成することができる。

【0151】

図21を参照して、絶縁膜1上に、バリアメタル4としてたとえばTaN膜がスパッタ法により20nmの厚みで形成され、さらにメッキ膜のシード層としてたとえばCu膜がスパッタ法により150nmの厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝2a、2bを埋め込むまでCu膜5が形成される。この電解メッキにおける電流はたとえば5Aである。さらに、絶縁膜1の上面が少なくとも露出するまでCu膜5およびバリアメタル4がCMP法により研磨除去されることにより、配線用溝2a、2b内を埋め込む配線が形成される。

【0152】

以上のようにして形成された配線は実施の形態12と同様に、広い配線においても低抵抗で抵抗のばらつきが小さいという効果が得られる。また、幅が5μm以上の配線用溝2aの底部にある凹凸3を接続孔2cと同時に形成することができるため、実施の形態12に比べて写真製版、エッティング、アッシングの工程を減らすことができる利点がある。

【0153】

なお、本実施の形態では、溝2aの底部の凹凸3として、複数の溝からなる凹凸3を形成した例について述べたが、実施の形態2のように複数の孔からなる凹凸3が形成されてもよく、実施の形態6、7、10のように複数のテープ状の溝もしくは孔からなる凹凸が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0154】

また、接続孔2cおよび凹凸3用の溝を埋め込む材料として本実施の形態では、SOGが用いられたが、SOG以外に有機SOGやレジストなどの有機物などが用いられてもよい。

【0155】

また、エッティングストップ層7は下層配線4、5上にのみ設けたが、溝のエッティングに対するエッティングストップ層として絶縁膜1を上下2層に分けてその2層の間に設けられてもよい。

【0156】

(実施の形態14)

図22～図26は、本発明の実施の形態14における半導体装置の製造方法を工程順に示す概略断面図である。まず図22を参照して、半導体基板もしくは下層絶縁膜6上に絶縁膜1が形成される。この絶縁膜1には配線用溝2bが形成され、この配線用溝2b内を埋め込むようにバリアメタル4と導電層5とからなる下層配線が形成される。

【0157】

この下層配線4、5上にエッティングストップ層7として、たとえば100nmの厚みでSiN膜がプラズマCVD法により形成される。このエッティングストップ層7上に、絶縁膜1として、たとえば1.3μmの厚みでSiO₂膜がプラズマCVD法により形成される。これらのエッティングストップ層7と絶縁膜1とは配線間および層間の絶縁膜に相当する。

【0158】

絶縁膜1上に、接続孔のパターンが形成されたレジストパターン11cが写真製版技術により形成される。この写真製版の際、レジストパターン11cには、接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは、幅5μm以上の配線用溝の底部に形成される溝状の凹凸パターンであって、幅が0.4μm、スペースが0.6μmである。このレジストパターン11cをマスクとして絶縁膜1の膜厚の途中まで絶縁膜1に反応性イオンエッティングが施される。これにより、接続用孔2cと凹凸用の溝3とが形成され

る。この後、レジストパターン11cがたとえばアッシングにより除去される。

【0159】

図23を参照して、絶縁膜1上に、配線用のパターンが形成されたレジストパターン11dが写真製版技術により形成される。このレジスタパターン11dをマスクとして絶縁膜1に反応性イオンエッチングが施される。

【0160】

図24を参照して、上記のエッチングにより、絶縁膜1にたとえば0.7μmの深さの配線用溝2a、2bが形成される。このとき、予め形成しておいた接続用孔2cおよび凹凸用の溝3の部分もエッチングトップ層7の表面が露出するまでエッチングされる。この後、レジストパターン11dがたとえばアッシングにより除去される。

【0161】

図25を参照して、接続用孔2cと凹凸用の溝3から露出したエッチングトップ層7を除去するために、SiN膜の全面エッチングが行なわれる。これにより、下層配線4、5との接続孔2c、複数の溝からなる凹凸3を形成することができる。

【0162】

図26を参照して、絶縁膜1上にバリアメタル4としてたとえばTaN膜がスパッタ法により20nmの厚みで形成され、さらにメッキ膜のシード層としてたとえばCu膜がスパッタ法により150nmの厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝2a、2bを埋め込むまでCu膜5が形成される。この電解メッキにおける電流はたとえば5Aである。さらに、絶縁膜1の上面が少なくとも露出するまでCu膜5およびバリアメタル4がCMP法により研磨除去されることにより、配線用溝2a、2b内を埋め込む配線が形成される。

【0163】

以上のようにして形成された配線は実施の形態12と同様に、広い配線においても低抵抗で抵抗のばらつきが小さいという効果が得られる。また、幅が5μm以上の溝2aの底部にある凹凸3を接続孔2cと同時に形成することができるた

め、実施の形態12に比べて写真製版、エッティング、アッシングの工程を減らすことができる利点がある。

【0164】

なお、本実施の形態では、溝2aの底部の凹凸3として、複数の溝からなる凹凸3を形成した例について述べたが、実施の形態2のように複数の孔からなる凹凸3が形成されてもよく、実施の形態6、7、10のように複数のテーパ状の溝もしくは孔からなる凹凸3が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0165】

また、エッティングストップ層7は下層配線4、5上にのみ設けたが、溝のエッティングに対するエッティングストップ層として、絶縁膜1を上下2層に分けてその2層の間に設けられてもよい。

【0166】

(実施の形態15)

図27～図31は、本発明の実施の形態15における半導体装置の製造方法を工程順に示す概略断面図である。まず図27を参照して、半導体基板もしくは下層絶縁膜6上に絶縁膜1が形成される。この絶縁膜1には配線用溝2bが形成され、この配線用溝2b内を埋め込むようにバリアメタル4と導電層5とからなる下層配線が形成される。

【0167】

この下層配線4、5上にエッティングストップ層7としてたとえば100nmの厚みでSiN膜がプラズマCVD法により形成される。このエッティングストップ層7上に、絶縁膜1としてたとえば1.3μmの厚みでSiO₂膜がプラズマCVD法により形成される。これらのエッティングストップ層7と絶縁膜1とは、配線間および層間の絶縁膜に相当する。

【0168】

絶縁膜1上に、配線用のパターンが形成されたレジストパターン11dが写真製版技術により形成される。このレジストパターン11dをマスクとして絶縁膜1にたとえば0.7μmの深さで反応性イオンエッティングが施されて、配線用の

配線用溝2a、2bが形成される。この後、レジストパターン11dが、たとえばアッシングにより除去される。

【0169】

図28を参照して、絶縁膜1上に、接続孔のパターンが形成されたレジストパターン11eが、写真製版技術により形成される。この写真製版の際、レジストパターン11eには、接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは、幅5μm以上の配線用溝の底部に形成される溝状の凹凸パターンであり、幅が0.4μm、スペースが0.6μmである。このレジストパターン11eをマスクとして絶縁膜1に反応性イオンエッチングが施される。

【0170】

図29を参照して、このエッチングにより、エッチングストップ層7の表面に達する接続用孔2cと凹凸用の溝3とが形成される。この後、レジストパターン11eが、たとえばアッシングにより除去される。

【0171】

図30を参照して、接続用孔2cと凹凸用の溝3とから露出するエッチングストップ層7を除去するために、SiN膜の全面エッチングが行なわれる。これにより、下層配線4、5との接続孔2cと、複数の溝からなる凹凸3とを形成することができる。

【0172】

図31を参照して、絶縁膜1上に、バリアメタル4としてたとえばTaN膜がスパッタ法により20nmの厚みで形成され、さらにメッキ膜のシード層としてたとえばCu膜がスパッタ法により150nmの厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝2a、2bを埋め込むまでCu膜5が形成される。この電解メッキにおける電流は5Aである。さらに、絶縁膜1の上面が少なくとも露出するまでCu膜5およびバリアメタル4がCMP法により研磨除去されることにより、配線用溝2a、2b内を埋め込む配線が形成される。

【0173】

以上のようにして形成された配線は実施の形態12と同様に、広い配線においても低抵抗で抵抗のばらつきは小さいという効果が得られる。また、幅が $5\text{ }\mu\text{m}$ 以上の溝2aの底部にある凹凸3を接続孔2cと一緒に形成することができるため、実施の形態12と比べて写真製版、エッチング、アッシングの工程を減らすことができるという利点がある。

【0174】

なお、本実施の形態では、溝2aの底部の凹凸3として、複数の溝からなる凹凸3を形成した例について述べたが、実施の形態2のように複数の孔からなる凹凸3が形成されてもよく、実施の形態6、7、10のように複数のテーパ状の溝もしくは孔からなる凹凸3が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0175】

また、エッチングストップ層7は下層配線4、5上にのみ設けたが、溝のエッチングに対するエッチングストップ層として、絶縁膜1を上下2層に分けてその2層の間に設けられてもよい。

【0176】

(実施の形態16)

図32～図37は、本発明の実施の形態16における半導体装置の製造方法を工程順に示す概略断面図である。まず図32を参照して、半導体基板もしくは下層絶縁膜6上に絶縁膜1が形成される。絶縁膜1には配線用溝2bが形成され、この配線用溝2b内を埋め込むようにバリアメタル4と導電層5とからなる下層配線が形成される。

【0177】

この下層配線4、5上にエッチングストップ層7として、たとえば 100 nm の厚みでSiN膜がプラズマCVD法により形成される。このエッチングストップ層7上に、絶縁膜1として、たとえば $1.3\text{ }\mu\text{m}$ の厚みで SiO_2 膜がプラズマCVD法により形成される。これらのエッチングストップ層7と絶縁膜1とは配線間および層間の絶縁膜に相当する。

【0178】

絶縁膜1上に、接続孔のパターンが形成されたレジストパターン11fが写真製版技術により形成される。この写真製版の際、レジストパターン11fには接続孔のパターンと同時に、溝パターンも配線の長手方向に沿って転写される。この溝パターンは、幅が5μm以上の配線用溝の底部に形成される溝状の凹凸のパターンであり、幅が0.2μm、スペースが0.2μmである。このレジストパターン11fの転写にあたっては、転写用マスクの溝パターンに対応する部分を光が一部透過するハーフトーンにすることにより、レジストパターン11fの溝パターン部分に凹凸を形成することができる。このレジストパターン11fをマスクとして絶縁膜1に反応性イオンエッティングが施される。

【0179】

図33を参照して、このエッティングにより、接続用孔2cはエッティングストップ層7の表面まで達する。一方、溝パターンに関しては、エッティングが進行するに伴ってレジストパターン11fの膜厚も減っていき、凹凸部の凹部分がレジストを突き抜ける。この後、レジストパターン11fをマスクとして絶縁膜1に凹凸用の溝3が形成される。このようにして、接続用孔2cと同時に、凹凸用の溝3が形成される。この後、レジストパターン11fが、たとえばアッシングにより除去される。

【0180】

図34を参照して、絶縁膜1上にSOG11hが塗布され、接続用孔2cおよび凹凸用の溝3を埋め込む。さらに、絶縁膜1上に配線用のパターンが形成されたレジストパターン11gが写真製版技術により形成される。このレジストパターン11gをマスクとして絶縁膜1に反応性イオンエッティングが施される。

【0181】

図35を参照して、上記のエッティングにより、絶縁膜1にたとえば0.7μmの深さの配線用溝2a、2bが形成される。この後、たとえばアッシングによってレジストパターン11gが除去され、希フッ酸によってSOG11hが除去される。

【0182】

図36を参照して、接続用孔2cから露出したエッティングストップ層7を除去

するために、SiN膜の全面エッチングが行なわれる。これにより、下層配線4、5との接続孔2cと、複数の溝からなる凹凸3とを形成することができる。

【0183】

図37を参照して、絶縁膜1上に、バリアメタル4としてたとえばTaN膜がスパッタ法により20nmの厚みで形成され、さらにメッキ膜のシード層としてたとえばCu膜がスパッタ法により150nmの厚みで形成される。この後、硫酸銅浴のメッキ液中で電解メッキを行なうことにより、配線用溝2a、2bを埋め込むまでCu膜5が形成される。この電解メッキにおける電流はたとえば5Aである。さらに、絶縁膜1の上面が少なくとも露出するまでCu膜5およびバリアメタル4がCMP法により研磨除去されることにより、配線用溝2a、2b内を埋め込む配線が形成される。

【0184】

以上のようにして形成された配線は実施の形態12と同様に、広い配線においても低抵抗で抵抗のばらつきが小さいという効果が得られる。また、幅が5μm以上の配線用溝2aの底部にある凹凸3を接続孔2cと同時に形成することができるため、実施の形態12に比べて写真製版、エッチング、アッシングの工程を減らすことができる利点がある。

【0185】

また、実施の形態13、14、15では、凹凸の部分が接続孔と同じように形成されるため、凹凸の部分が下層の層間絶縁膜まで達することになる。このため、底部に凹凸を形成した広い配線の下部には下層配線を形成できないというデメリットがあるが、本実施の形態では、凹凸の部分が下層の層間絶縁膜にまで達していないため、前記のような問題は回避することができる。

【0186】

なお、本実施の形態では、凹凸のパターンを解像しない程度に微細にすることにより、露光部のレジストを若干残す方法を用いたが、凹凸の部分の露光量を少なくしてもよい。ハーフトーンなどのマスクを用いたり、露光に電子ビームを用いて露光量を制御することにより露光量を調整することができる。

【0187】

なお、本実施の形態では、溝2aの底部の凹凸3として、複数の溝からなる凹凸3を形成した例について述べたが、実施の形態2のように複数の孔からなる凹凸3が形成されてもよく、実施の形態6、7、10のように複数のテーパ状の溝もしくは孔からなる凹凸が形成されてもよく、これらの場合でも本実施の形態と同様の効果が得られる。

【0188】

また、接続孔2cおよび凹凸3用の溝を埋め込む材料として本実施の形態では、SOGが用いられたが、SOG以外に有機SOGやレジストなどの有機物などが用いられてもよい。

【0189】

また、エッチングストップ層7は下層配線4、5上にのみ設けたが、溝のエッチングに対するエッチングストップ層として絶縁膜1を上下2層に分けてその2層の間に設けられてもよい。

【0190】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0191】

【発明の効果】

本発明の半導体装置によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層をCMP法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0192】

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が0

7以下の溝の底部に設けられている。これにより、より薄いメッキ膜で溝を埋め込むことができる。

【0193】

上記の半導体装置において好ましくは、凹凸は、溝の幅に対する深さの比が0.35以下の溝の底部に設けられている。これにより、より薄いメッキ膜で溝を埋め込むことができる。

【0194】

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が0.35よりも大きい。これにより、メッキによる析出速度を効果的に向上することができる。

【0195】

上記の半導体装置において好ましくは、凹凸の凹部は溝状に形成されており、凹部の幅に対する深さの比が0.7よりも大きい。これにより、メッキによる析出速度をより効果的に向上することができる。

【0196】

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が0.35よりも大きい。これにより、メッキによる析出速度を効果的に向上することができる。

【0197】

上記の半導体装置において好ましくは、凹凸の凹部は孔状に形成されており、凹部の開口径に対する深さの比が0.7よりも大きい。これにより、メッキによる析出速度をより効果的に向上することができる。

【0198】

上記の半導体装置において好ましくは、凹凸における凹部の側面が傾斜しており、断面において両側面が交差している。これにより、メッキによる析出速度をより向上することができるとともに、凹凸の凹部の深さを浅くすることができる。

【0199】

上記の半導体装置において好ましくは、凹部の側面は、絶縁層の上面に対して

20度よりも大きく傾斜している。これにより、メッキによる析出速度向上の効果が得られる。

【0200】

上記の半導体装置において好ましくは、凹凸のピッチは凹部の幅あるいは開口径の4倍以下である。これにより、凹凸を溝底部に密に配置することができ、凹凸によって効果的にメッキ速度を向上することができる。

【0201】

本発明の半導体装置の製造方法によれば、溝の底部に設けた凹凸には、メッキの析出を抑制する添加剤が入りにくいため、メッキ時に析出する膜の膜厚が厚くなる。このため、この凹凸を幅の広い溝の底部に設けることにより、幅の広い溝での析出速度を幅の狭い溝での析出速度と同等程度にすることができる。よって、メッキされた導電層表面の段差を小さくすることができるため、メッキ導電層をCMP法により研磨しても、幅の広い配線上面に凹状のへこみが生じることは抑制される。

【0202】

上記の半導体装置の製造方法において好ましくは、絶縁層の下層に下層配線層を形成する工程と、下層配線層と配線層とを接続する接続孔を絶縁層に形成する工程とがさらに備えられ、溝の形成前に接続孔と凹凸とが同時に形成される。これにより、製造工程を簡略化することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の構成を概略的に示す断面図である。

【図2】 本発明の実施の形態1における半導体装置の構成を概略的に示す斜視図である。

【図3】 本発明の実施の形態2における半導体装置の構成を概略的に示す斜視図である。

【図4】 本発明の実施の形態6における半導体装置の構成を概略的に示す断面図である。

【図5】 本発明の実施の形態6における半導体装置の構成を概略的に示す

斜視図である。

【図6】 本発明の実施の形態7における半導体装置の構成を概略的に示す斜視図である。

【図7】 本発明の実施の形態10における半導体装置の構成を概略的に示す断面図である。

【図8】 本発明の実施の形態10における半導体装置の構成を概略的に示す斜視図である。

【図9】 本発明の実施の形態10における半導体装置の他の構成を概略的に示す斜視図である。

【図10】 本発明の実施の形態11における半導体装置の構成を概略的に示す断面図である。

【図11】 本発明の実施の形態11における半導体装置の構成を概略的に示す斜視図である。

【図12】 本発明の実施の形態11における半導体装置の他の構成を概略的に示す斜視図である。

【図13】 本発明の実施の形態12における半導体装置の製造方法の第1工程を示す概略断面図である。

【図14】 本発明の実施の形態12における半導体装置の製造方法の第2工程を示す概略断面図である。

【図15】 本発明の実施の形態12における半導体装置の製造方法の第3工程を示す概略断面図である。

【図16】 本発明の実施の形態12における半導体装置の製造方法の第4工程を示す概略断面図である。

【図17】 本発明の実施の形態13における半導体装置の製造方法の第1工程を示す概略断面図である。

【図18】 本発明の実施の形態13における半導体装置の製造方法の第2工程を示す概略断面図である。

【図19】 本発明の実施の形態13における半導体装置の製造方法の第3工程を示す概略断面図である。

【図20】 本発明の実施の形態13における半導体装置の製造方法の第4工程を示す概略断面図である。

【図21】 本発明の実施の形態13における半導体装置の製造方法の第5工程を示す概略断面図である。

【図22】 本発明の実施の形態14における半導体装置の製造方法の第1工程を示す概略断面図である。

【図23】 本発明の実施の形態14における半導体装置の製造方法の第2工程を示す概略断面図である。

【図24】 本発明の実施の形態14における半導体装置の製造方法の第3工程を示す概略断面図である。

【図25】 本発明の実施の形態14における半導体装置の製造方法の第4工程を示す概略断面図である。

【図26】 本発明の実施の形態14における半導体装置の製造方法の第5工程を示す概略断面図である。

【図27】 本発明の実施の形態15における半導体装置の製造方法の第1工程を示す概略断面図である。

【図28】 本発明の実施の形態15における半導体装置の製造方法の第2工程を示す概略断面図である。

【図29】 本発明の実施の形態15における半導体装置の製造方法の第3工程を示す概略断面図である。

【図30】 本発明の実施の形態15における半導体装置の製造方法の第4工程を示す概略断面図である。

【図31】 本発明の実施の形態15における半導体装置の製造方法の第5工程を示す概略断面図である。

【図32】 本発明の実施の形態16における半導体装置の製造方法の第1工程を示す概略断面図である。

【図33】 本発明の実施の形態16における半導体装置の製造方法の第2工程を示す概略断面図である。

【図34】 本発明の実施の形態16における半導体装置の製造方法の第3

工程を示す概略断面図である。

【図35】 本発明の実施の形態16における半導体装置の製造方法の第4工程を示す概略断面図である。

【図36】 本発明の実施の形態16における半導体装置の製造方法の第5工程を示す概略断面図である。

【図37】 本発明の実施の形態16における半導体装置の製造方法の第6工程を示す概略断面図である。

【図38】 従来の半導体装置の構成を概略的に示す断面図である。

【図39】 従来の半導体装置の製造方法の第1工程を示す概略断面図である。

【図40】 従来の半導体装置の製造方法の第2工程を示す概略断面図である。

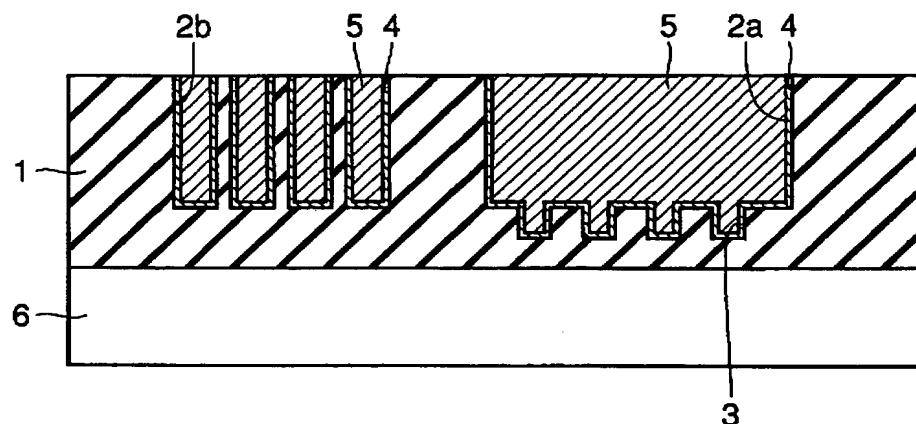
【図41】 従来の半導体装置の製造方法の第2工程を示す概略断面図である。

【符号の説明】

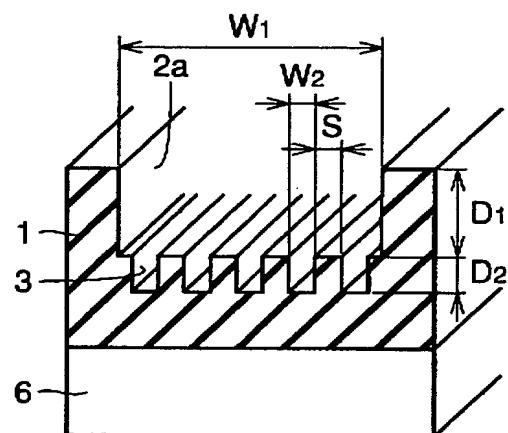
1 絶縁膜、2a、2b 配線用溝、2c 接続孔、3 凹凸、4 バリアメタル、5 Cu膜、6 半導体基板もしくは下層絶縁膜。

【書類名】 図面

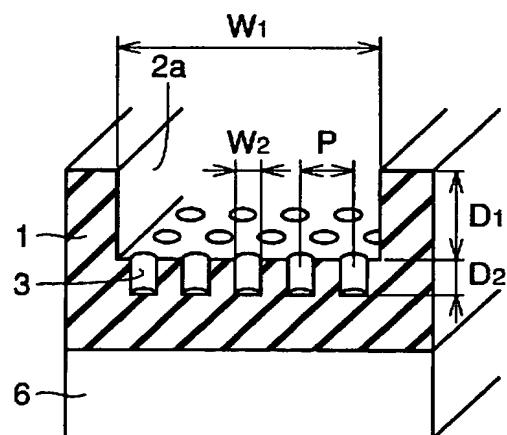
【図1】



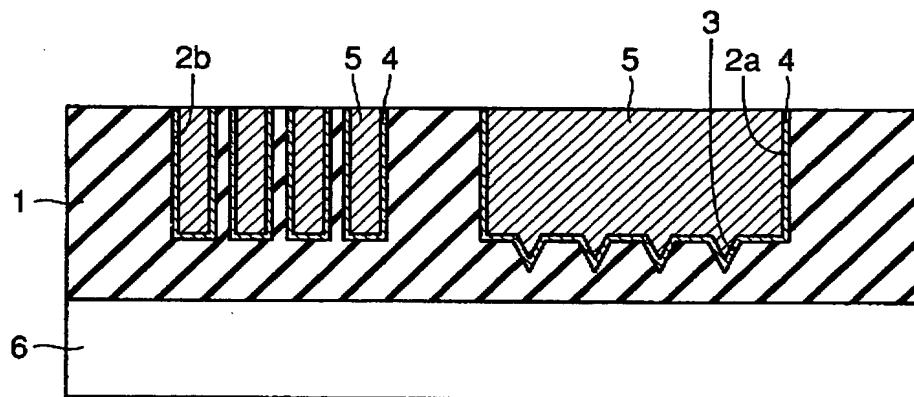
【図2】



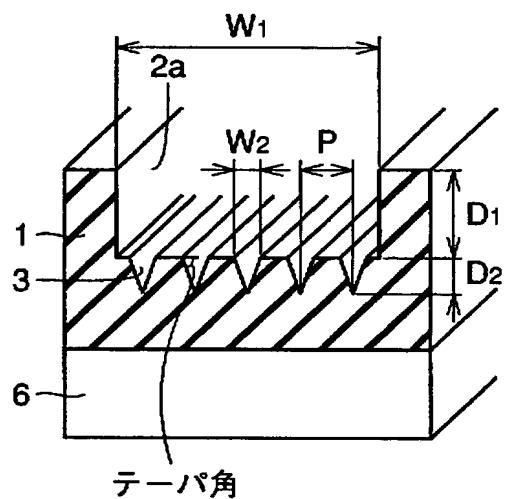
【図3】



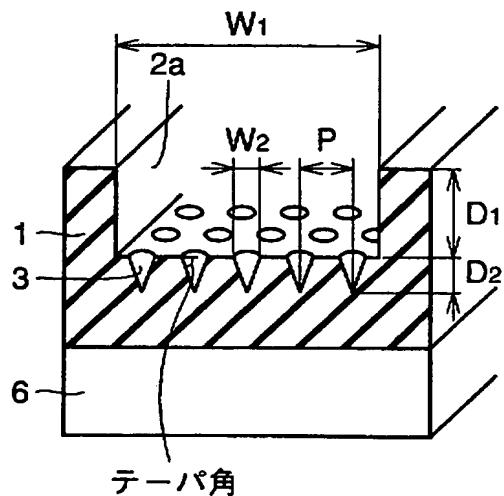
【図4】



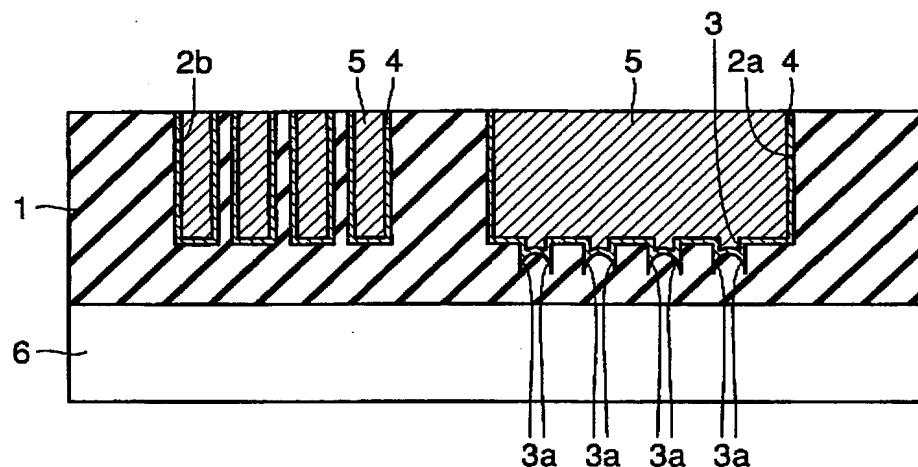
【図5】



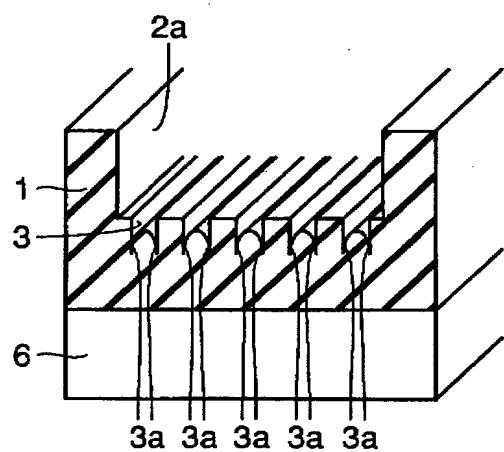
【図6】



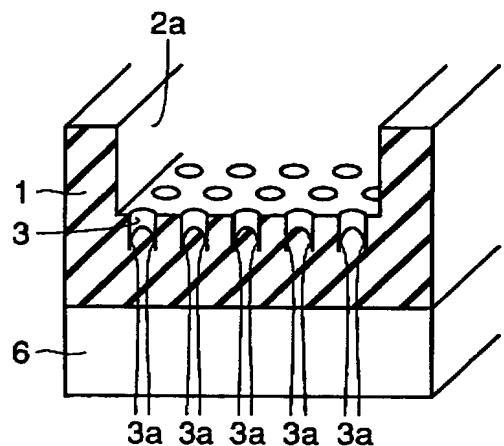
【図7】



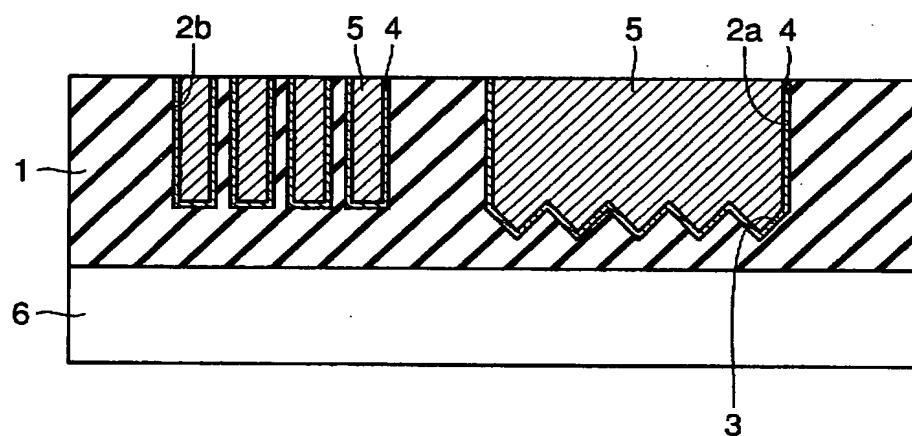
【図8】



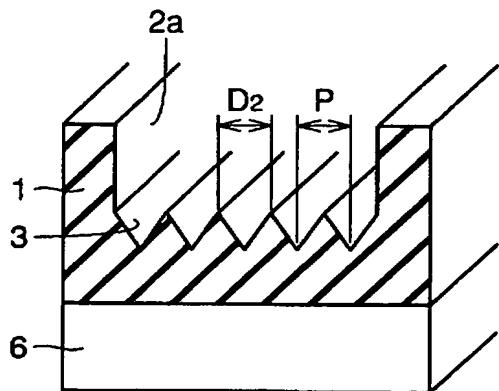
【図9】



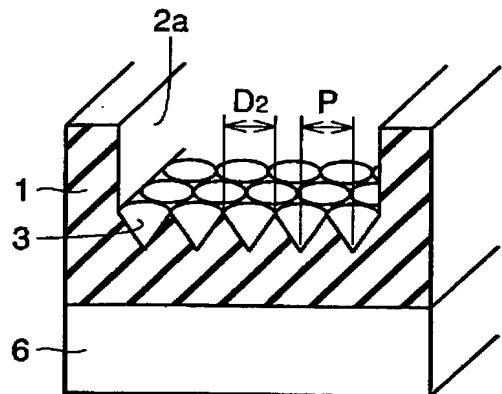
【図10】



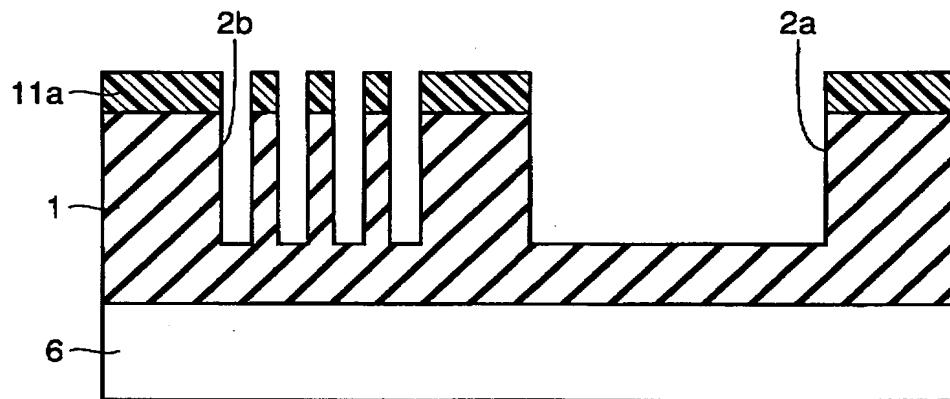
【図11】



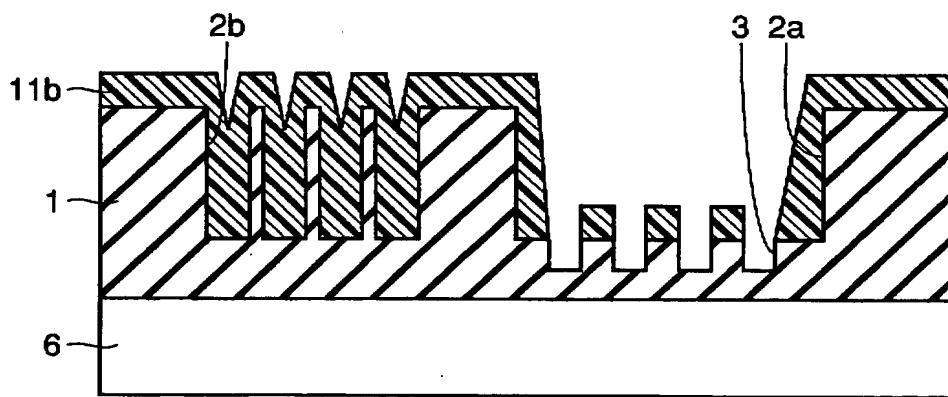
【図12】



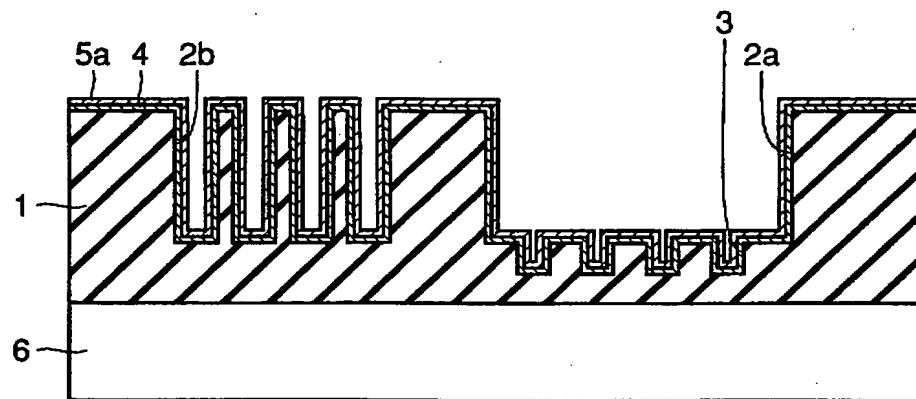
【図13】



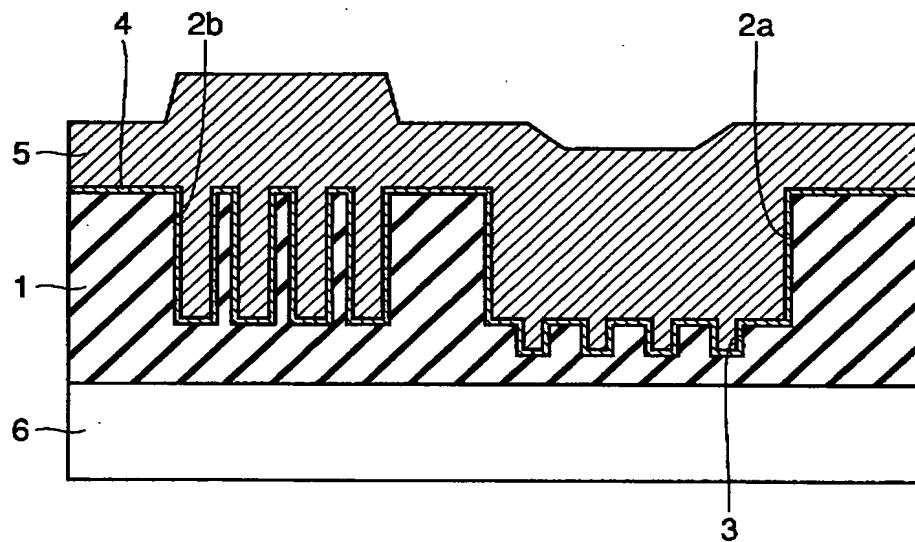
【図14】



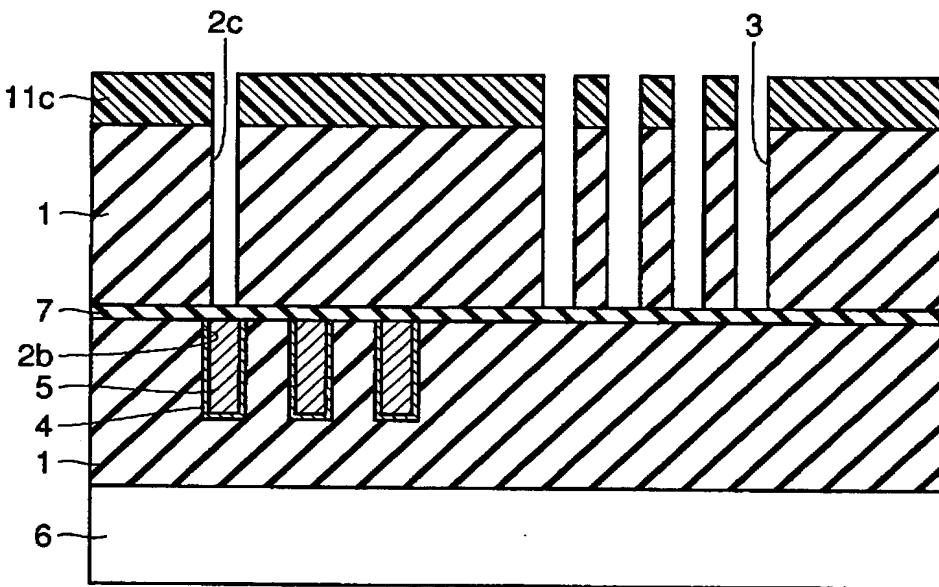
【図15】



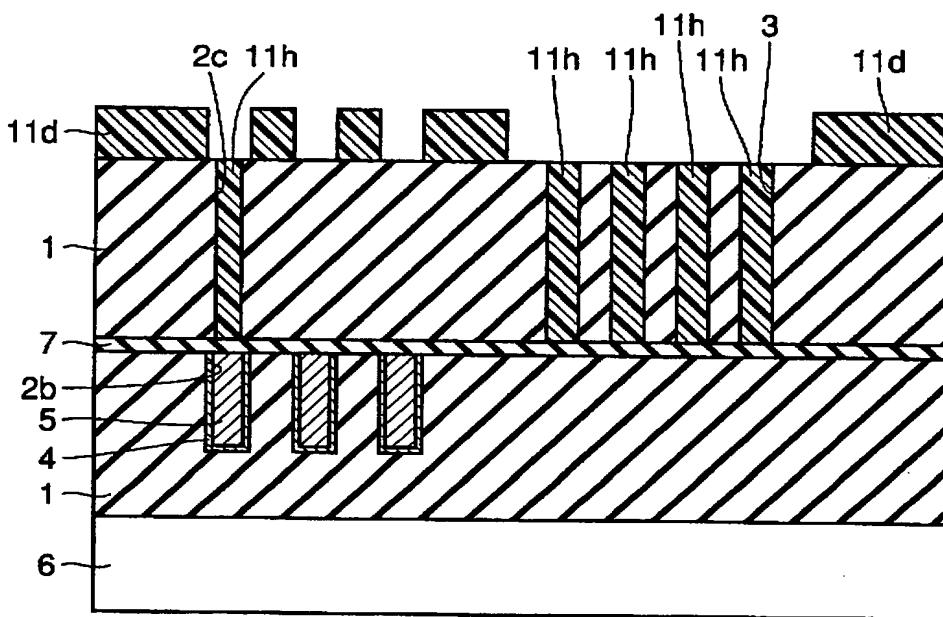
【図16】



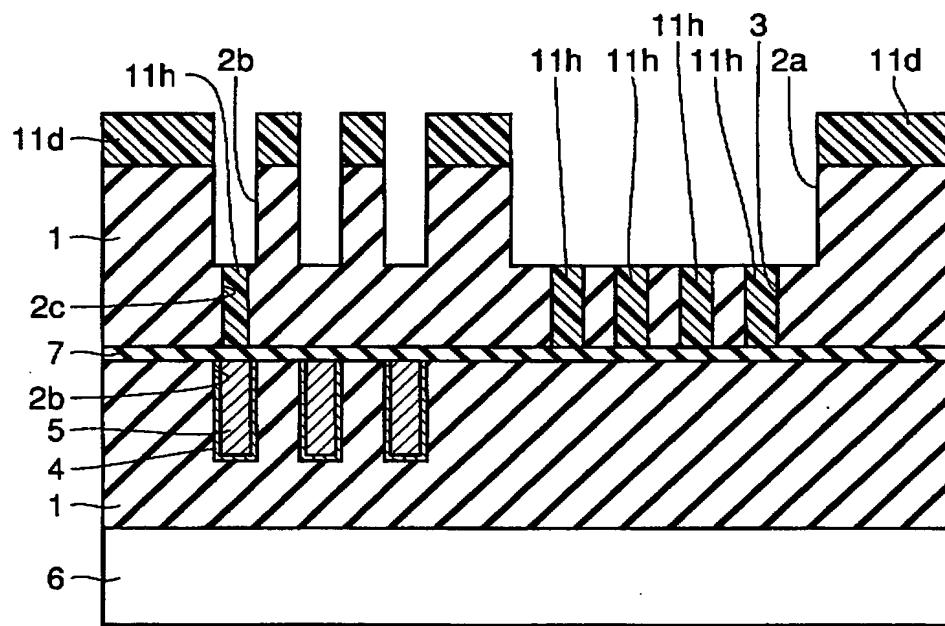
【図17】



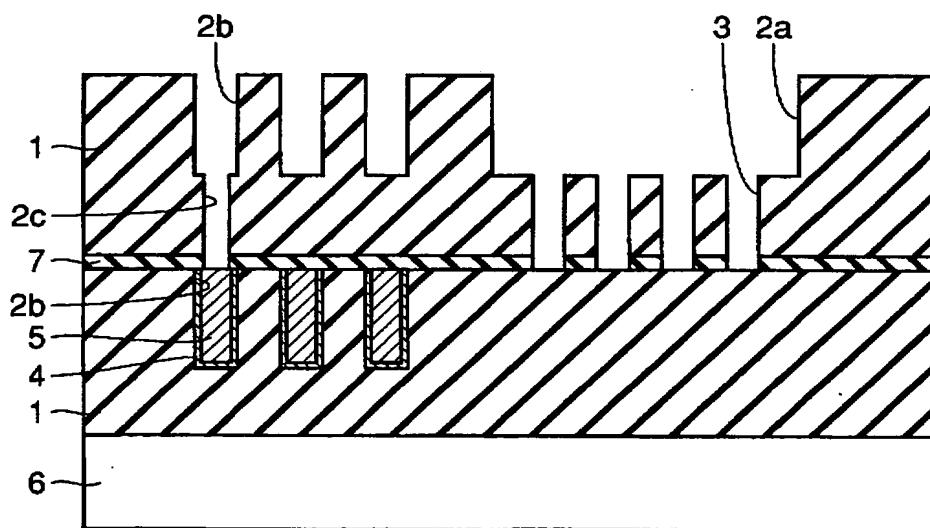
【図18】



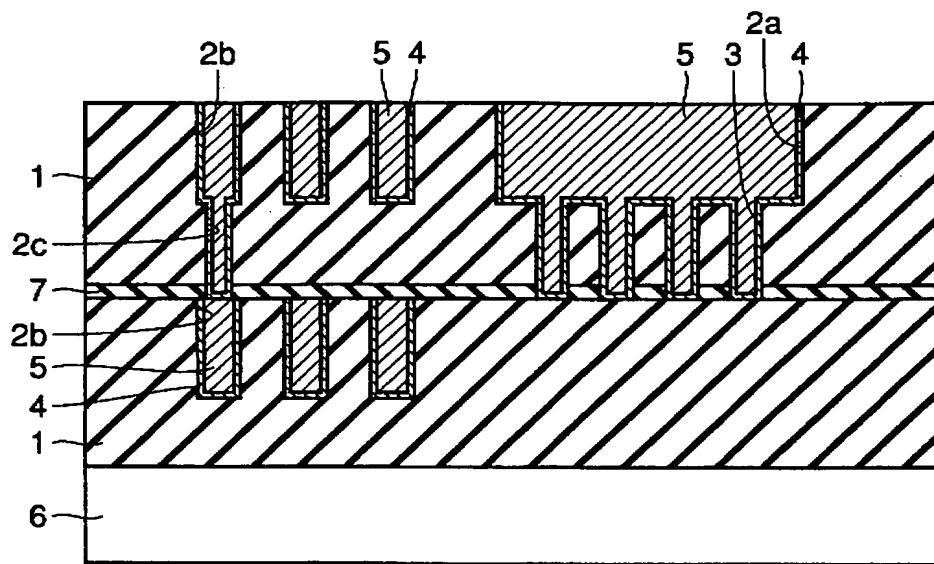
【図19】



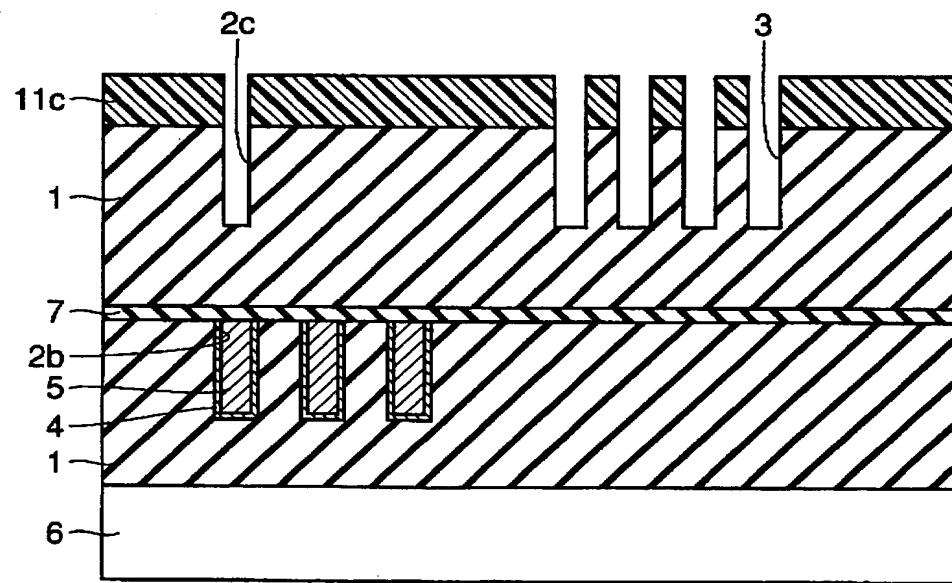
【図20】



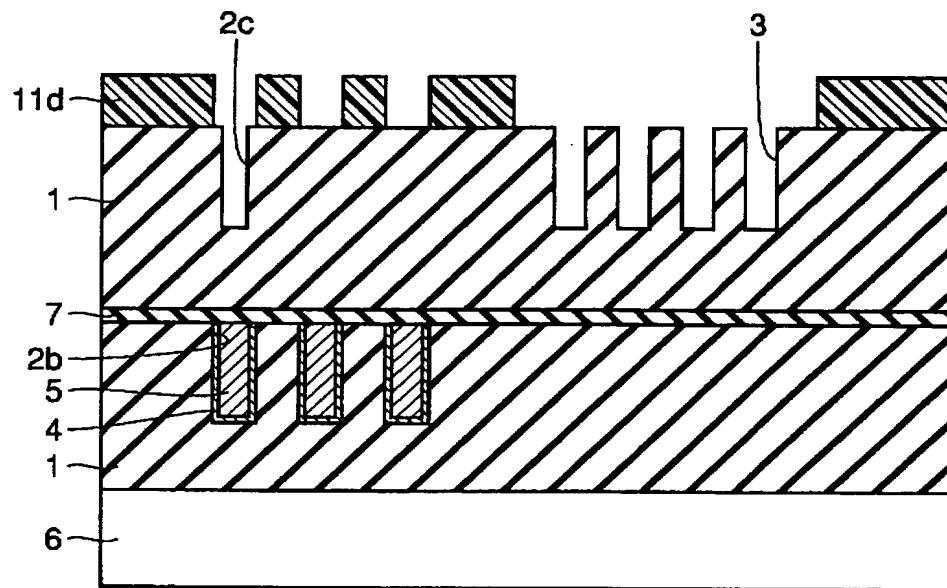
【図21】



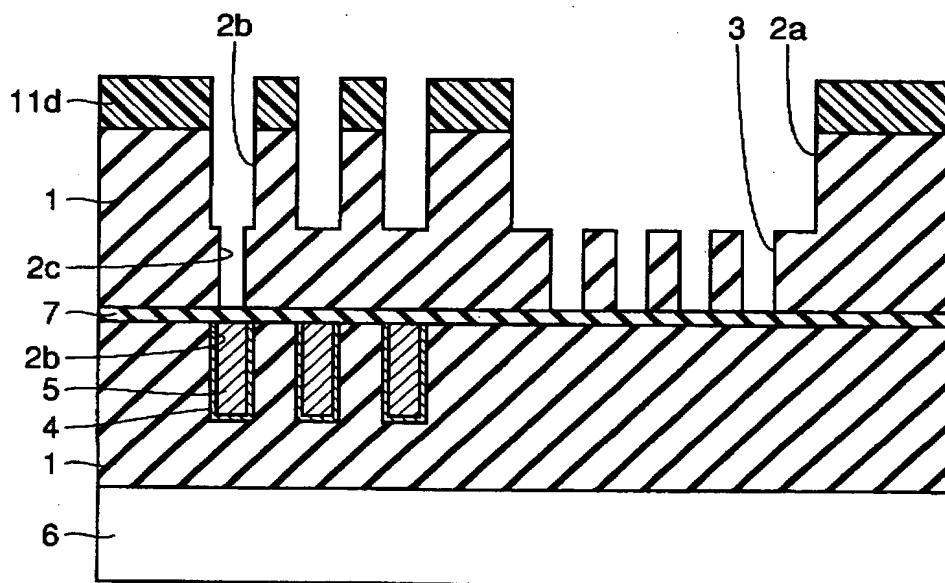
【図22】



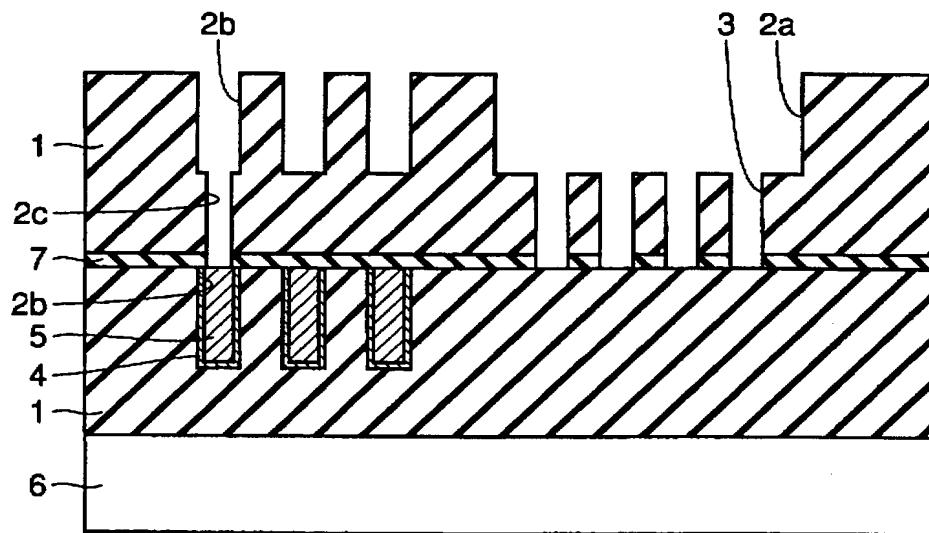
【図23】



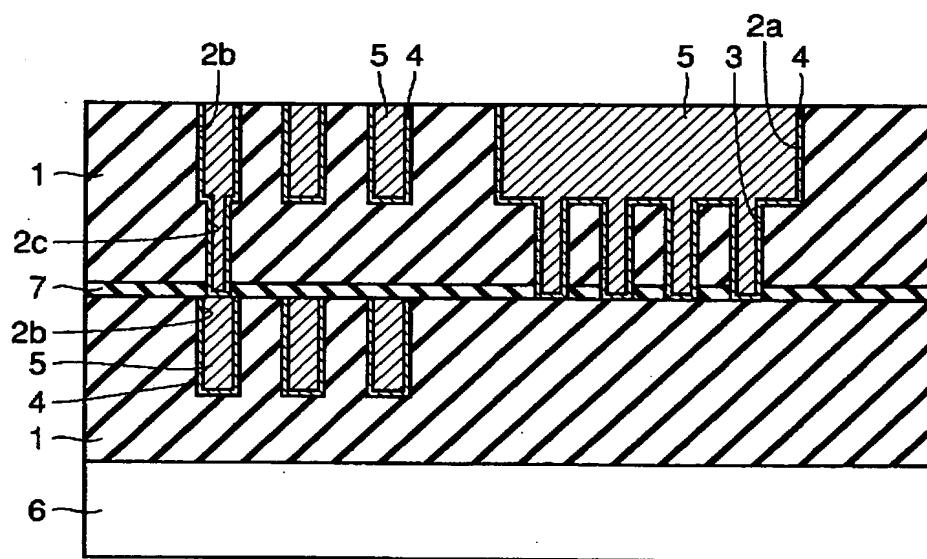
【図24】



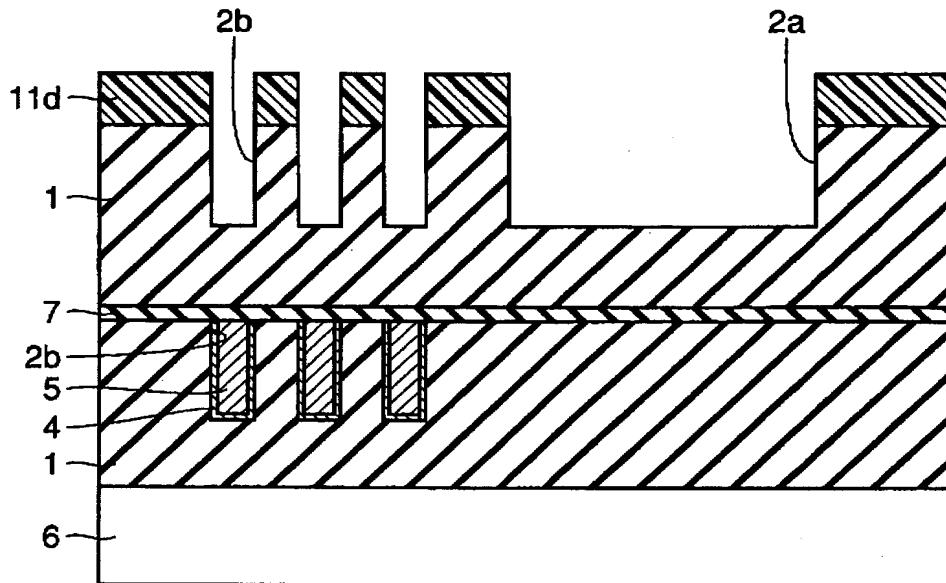
【図25】



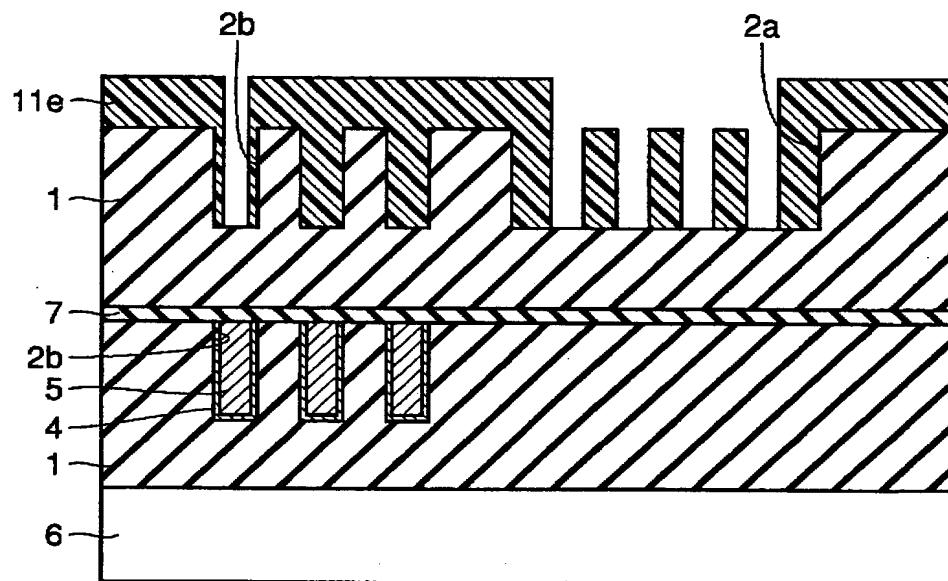
【図26】



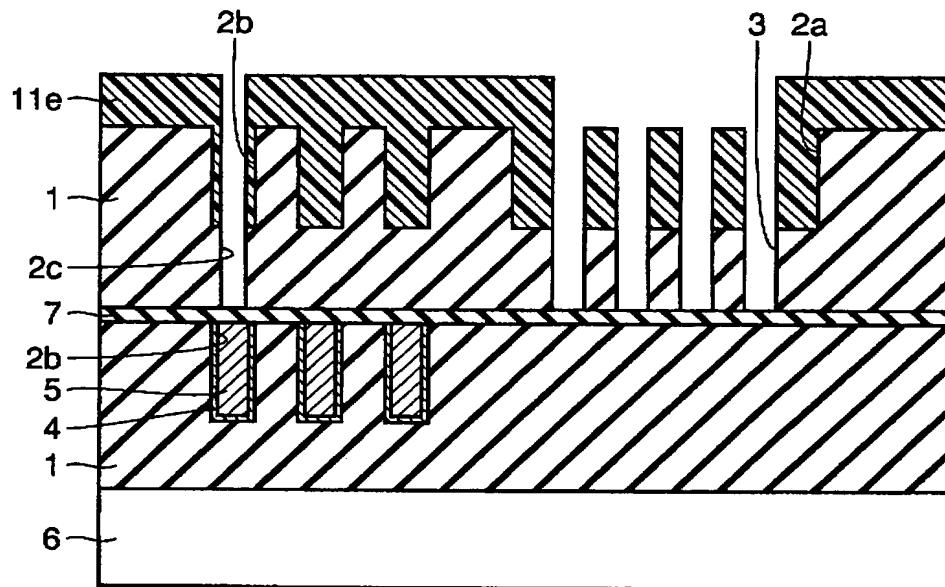
【図27】



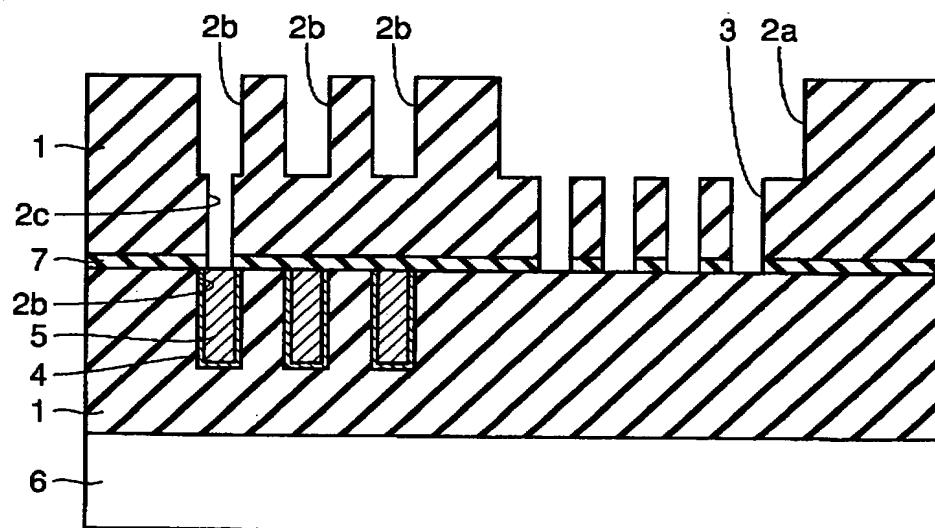
【図28】



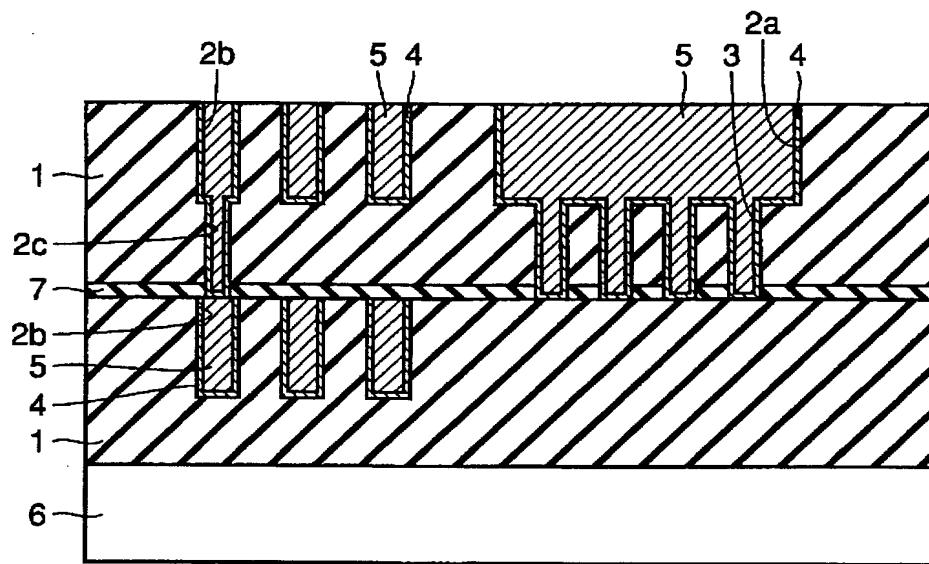
【図29】



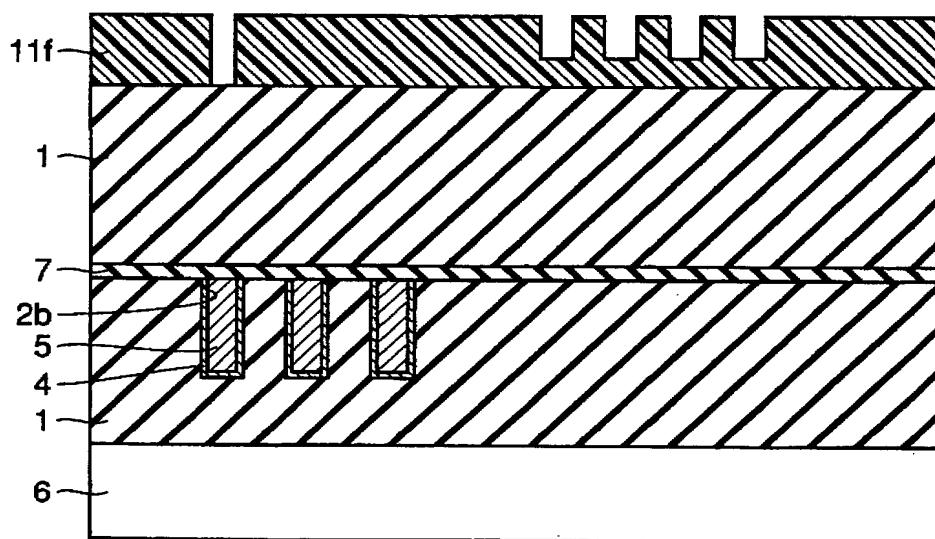
【図30】



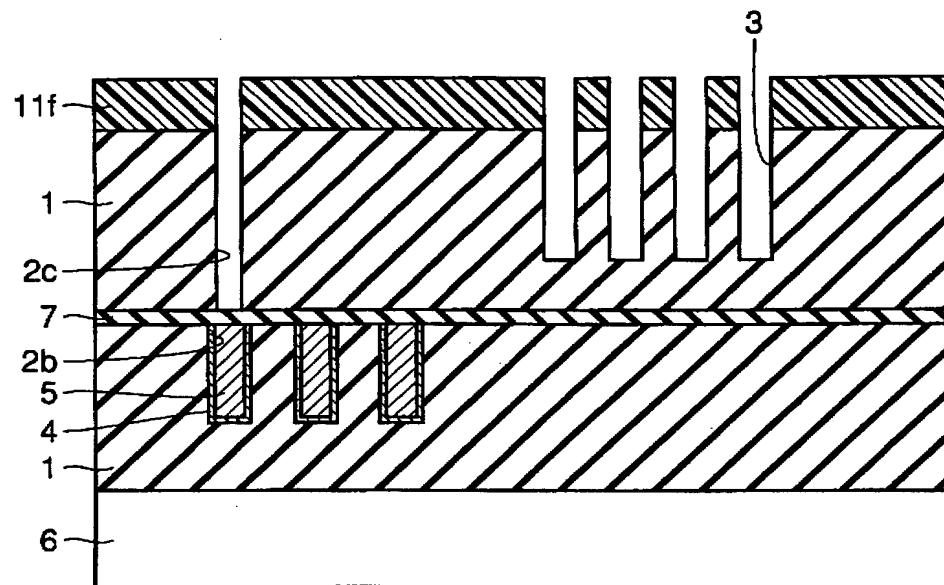
【図31】



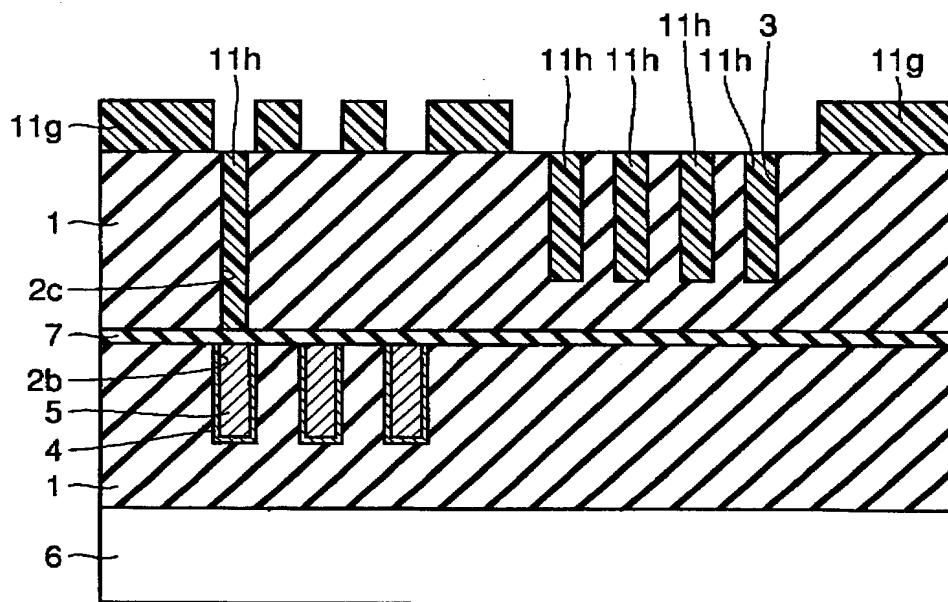
【図32】



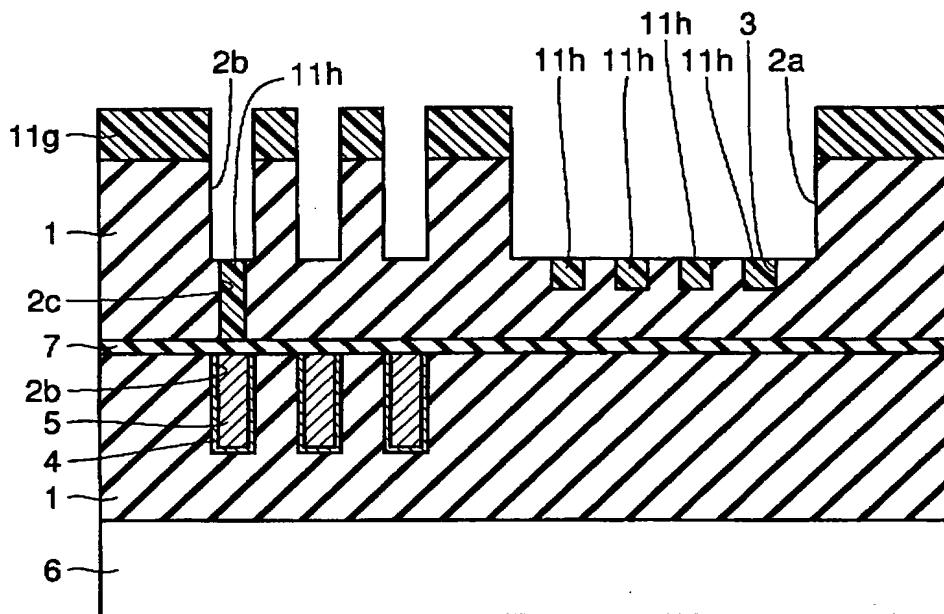
【図33】



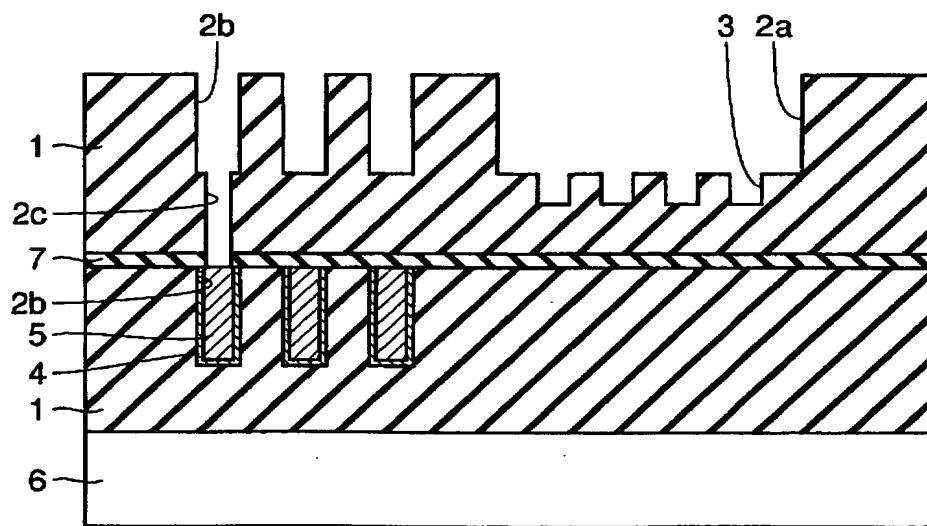
【図34】



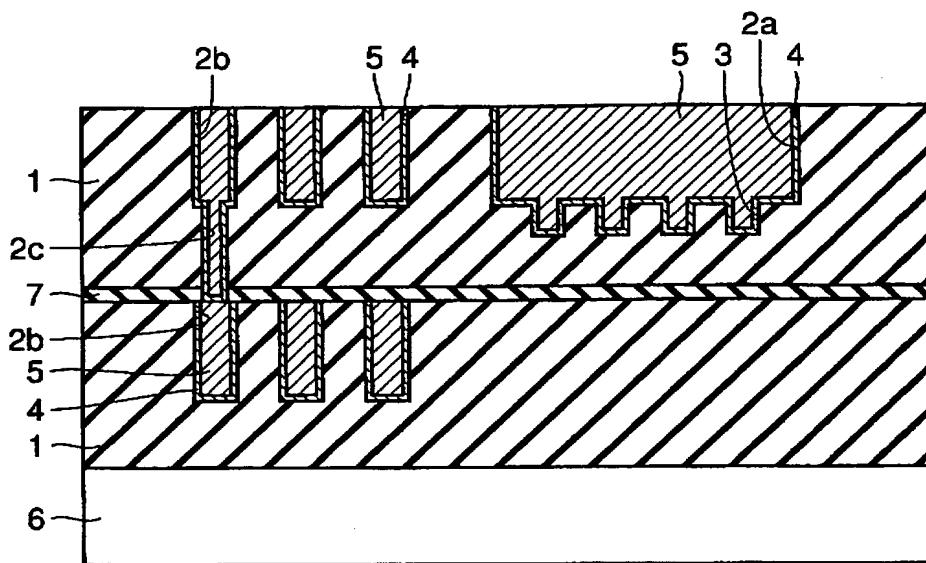
【図35】



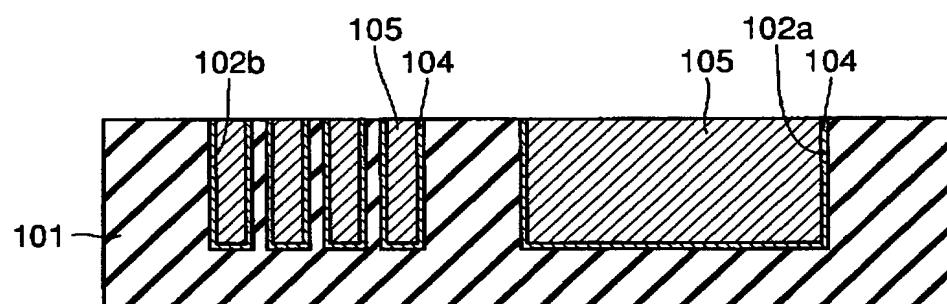
【図36】



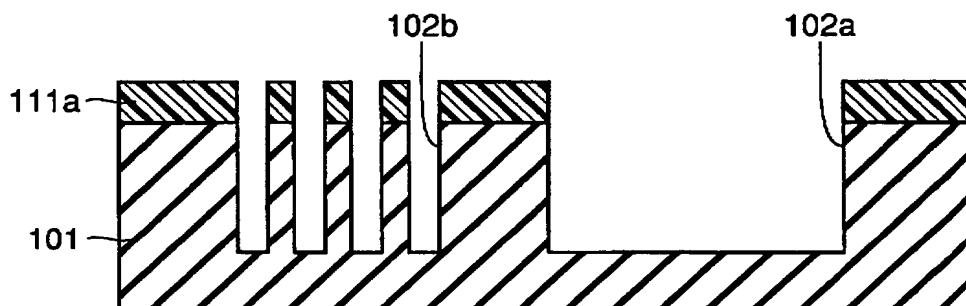
【図37】



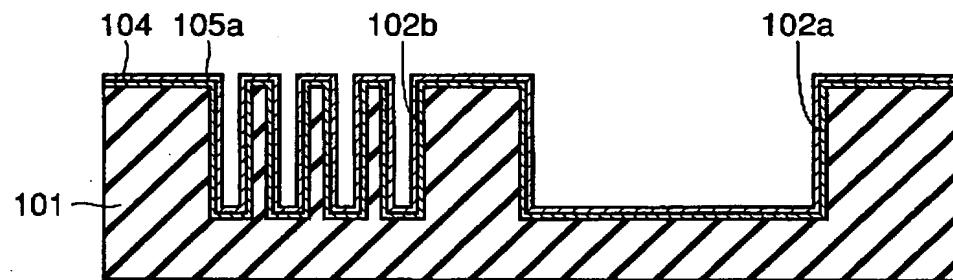
【図38】



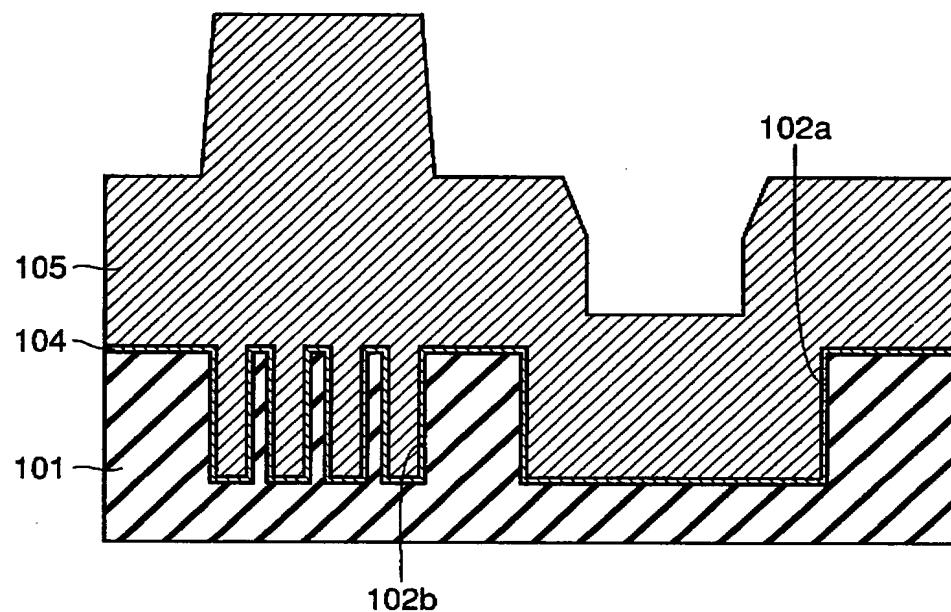
【図39】



【図40】



【図41】



【書類名】 要約書

【要約】

【課題】 広い溝と細い溝との析出速度の差を小さくすることのできる半導体装置およびその製造方法を提供する。

【解決手段】 絶縁膜1の表面には異なる幅を有する複数の溝2a、2bが形成されている。複数の溝2a、2bの各々の内部を埋め込むようにバリアメタル4とCu膜5となる配線が形成されている。複数の溝2a、2bのうち幅の広い溝2aの底部には、たとえば複数の溝からなる凹凸3が設けられている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社